

20/12 15.01 *
215645 OLATUE I
314380 OLITAL I

DA: G. MORETTI SISTEMISTA SETTORE LOMBARDIA
A: RESPONSABILI DI ZONE A.T.C. DI

ALESSANDRIA-BOLZANO-FIRENZE-PERUGIA-CATANIA-VERONA-MILANO 3
BUSTO A.-GENOVA-NAPOLI-FORLI'-PESCARA-VENEZIA-ROMA 1-
TORINO 2-ANCONA-BERGAMO-CAGLIARI-PISA

P.C. SIG. MARCUCCI
SIG. DELLA PERGOLA D.P. BANCHE 1
SIG. ANTOGNOTTI D.S.T
SIG. GORGHETTO D.S.T.

SISTEMI M10 DELLA COMIT

=====
DURANTE LE PRIME INSTALLAZIONI DEL PRODOTTO IN OGGETTO SI
SONO VERIFICATE ALCUNE ANOMALIE DI TIPO PROCEDURALE CHE
PREGIUDICANO IL BUON PROSEGUIMENTO DI TUTTA L'OPERAZIONE.
ONDE EVITARE DISGUIDI FUTURI VI COMUNICO QUANTO SEGUE:

-DOPO AVER MONTATO L'APPLICATIVO E L'ESPANSIONE DI MEMORIA
E COLLEGATO M10 A PR, SUL DISPLAY VIENE VISUALIZZATO
'COMIT - MENU', A QUESTO PUNTO SI DEVE
EVITARE DI ENTRARE IN ASSETTO BASIC PER PROVARE IL SISTEMA
IN QUANTO SI ANDREBBE A SPORCARE UNA ZONA DI MEMORIA
ALTERANDONE IL CONTENUTO, MA FAR PROVARE IL SISTEMA
ALL'OPERATORE STESSO.
DI FRONTE AD UNA SITUAZIONE DEL GENERE SI DEVE SPEGNERE
M10, TOGLIERE E RIMETTERE LA BATTERIA DI BACK-UP.
DETTA OPERAZIONE AZZERA COMPLETAMENTE IL CONTENUTO DELLA RAM.

VI RICORDO INOLTRE CHE SU M10 LA EPROM SIGLATA 'COMIT B488H',
CONTENENTE L'APPLICATIVO, VA MONTATA IN POSIZIONE M11 MENTRE
LA RAM DA 8K BYTE DI ESPANSIONE MEMORIA VA MONTATA IN POSIZIONE M6.

ULTERIORI INFORMAZIONI RIGUARDANTI LE M10 E PR 320 SONO
CONTENUTE NELLE MIE LETTERE DEL 25-6 E 5-12 84.

CORDIALI SALUTI.

*
215645 OLATUE I
314380 OLITAL I

	COPIA
Salvaterra	
Azzolini	
Daminato	X
Secco	X
Stefenelli	X
Zodo	
Canella	
Cherchi	
De Pieri	
Ferrara	
Medici	
Sormani	
Archivio	X

MIO PORTABLE COMPUTER

Manuale Generale per l'Assistenza



olivetti

Copyright © 1983, by Olivetti
All rights reserved

PUBBLICAZIONE EMESSA DA:

Ing. C. Olivetti & C., S.p.A.
Direzione Documentazione
77, Via Jervis - 10015 IVREA (Italy)

PREMESSA

Questo manuale e' indirizzato ai tecnici M-10 che lavorano in field o in laboratorio (riparazione piastre).

SOMMARIO

Il manuale, oltre a fornire una esauriente descrizione dei circuiti elettrici impiegati, fornisce anche tutte quelle informazioni di carattere generale, indispensabili per un buon uso ed una corretta assistenza della macchina.

PRE-REQUISITI:

Per una piu' efficace comprensione degli argomenti trattati, il tecnico dovrebbe gia conoscere i microprocessori Z-80 e 8085 e gli LSI 8155 (PIO) e l'IM6402 (UART). Nell'appendice A di questo manuale sono riportate dettagliate informazioni tecniche su questi microprocessori e sui circuiti LSI.

DISTRIBUZIONE: Interna (Z)

BIBLIOGRAFIA: Raccolta schemi e catalogo parti di ricambio - 4101790 F

PRIMA EDIZIONE: Ottobre 83

INDICE

PAGINA

1-1	1.	<u>CONFIGURAZIONE DI SISTEMA</u>
1-1	1.1	<u>CONFIGURAZIONE DI SISTEMA</u>
1-1	1.1.1	UNITA' LCD
1-2	1.1.2	TASTIERA
1-2	1.1.3	CORPO PRINCIPALE
1-3	1.2	<u>GENERALITA' DEL SISTEMA</u>
1-3	1.2.1	PROGRAMMA APPLICATIVO INTERNO
1-3	1.2.2	FUNZIONAMENTO A PILE O TRAMITE ADATTATORE PER AC
1-4	1.2.3	DISPLAY A CRISTALLI LIQUIDI (LCD) REGOLABILE
1-4	1.2.4	MICROPROCESSORE 80C85
1-4	1.2.5	ROM (Read Only Memory)
1-4	1.2.6	RAM (Random Access Memory)
1-4	1.2.7	INTERFACCE I/O PER PERIFERICHE
1-5	1.2.8	BATTERIA INTERNA PER IL BACK-UP DELLA RAM
1-5	1.2.9	SPEGNIMENTO AUTOMATICO
1-6	1.3	<u>CONFIGURAZIONE DI SISTEMA NELLA VERSIONE INTERNAZIONALE</u>
1-7	1.4	<u>CONFIGURAZIONE DI SISTEMA NELLA VERSIONE USA</u>
2-1	2.	<u>CONFIGURAZIONE DI SISTEMA</u>
2-1	2.1	<u>SMONTAGGIO</u>
2-3	2.2	<u>REGOLAZIONE DEL LIVELLO DI TRASMISSIONE DEL MODEM</u>
3-1	3.	<u>TEST FUNZIONALI</u>
3-1	3.1	<u>FORMATO DEL NASTRO DELLA CASSETTA DIAGNOSTICA</u>
3-1	3.2	<u>GESTIONE DEL PROGRAMMA DIAGNOSTICO</u>

PAGINA

3-2	3.3	<u>DESCRIZIONE DEL PROGRAMMA</u>
3-2	3.3.1	ALL
3-2	3.3.2	MAIN BOARD
3-3	3.3.3	CHARACTER TEST
3-3	3.3.4	LCD TEST
3-3	3.3.5	CLOCK TEST
3-3	3.3.6	KEYBOARD TEST
3-4	3.3.7	RS-232C TEST
3-4	3.3.8	PRINTER TEST
3-5	3.3.9	BAR CODE TEST
4-1	4.	<u>GUIDA ALL'INTERVENTO</u>
4-1	4.1	<u>DIAGRAMMA DI FLUSSO DEI GUASTI</u>
4-3	4.1.1	NON FUNZIONA DEL TUTTO
4-4	4.1.2	IL DISPLAY NON FUNZIONA
4-5	4.1.3	LA TASTIERA NON FUNZIONA
4-5	4.1.4	IL CICALINO NON FUNZIONA
4-6	4.1.5	IL CLOCK NON FUNZIONA
4-6	4.1.6	IL RESET NON FUNZIONA
4-7	4.1.7	LA PROTEZIONE DELLA MEMORIA NON FUNZIONA
4-7	4.1.8	L'INTERFACCIA STAMPANTE NON FUNZIONA
4-8	4.1.9	L'INTERFACCIA REGISTRATORE NON FUNZIONA
4-8	4.1.10	L'INTERFACCIA B.C.R. NON FUNZIONA
4-9	4.1.11	L'INTERFACCIA RS-232C NON FUNZIONA
4-10	4.1.12	L'INTERFACCIA MODEM NON FUNZIONA
4-10	4.1.13	TUTTE LE FUNZIONI SONO OK ?
4-11	4.2	<u>SCHEMA DI POSIZIONAMENTO DEI TEST POINTS</u>
4-12	4.3	<u>SCHEMA DI POSIZIONAMENTO DEI PRINCIPALI COMPONENTI</u>

PAGINA		
5-1	5.	<u>CONFIGURAZIONE DI SISTEMA</u>
5-1	5.1	<u>CARATTERISTICHE ELETTRICHE E FISICHE</u>
5-3	5.2	<u>FUNZIONE E POSIZIONE DEGLI INTERRUTTORI</u>
5-4	5.2.1	INTERRUTTORE DI ALIMENTAZIONE
5-4	5.2.2	INTERRUTTORE DI BATTERY BACK-UP
5-4	5.2.3	INTERRUTTORE ANSWER/CALL MODE (Solo versione USA)
5-5	5.2.4	INTERRUTTORE MODEM/COUPLER
5-5	5.2.5	INTERRUTTORE DI RESET
5-5	5.3	<u>INSTALLAZIONE DELLE BATTERIE</u>
5-6	5.4	<u>INSTALLAZIONE DELL 'M10</u>
5-7	5.5	<u>COLLEGAMENTO DELLE PERIFERICHE</u>
5-7	5.5.1	ADATTATORE PER CORRENTE ALTERNATA
5-9	5.5.2	RS-232C
5-9	5.5.3	STAMPANTE
5-10	5.5.4	MODEM E ACCOPPIATORE ACUSTICO (Solo Versione USA)
5-12	5.5.5	COLLEGAMENTO DEL REGISTRATORE
5-13	5.5.6	BAR CODE READER
5-14	5.5.7	TIPI DI CAVI PER CONNETTORI
5-16	5.6	<u>INSTALLAZIONE DELLE RAM E DELLA ROM OPZIONALI</u>
5-17	5.7	<u>INSTALLAZIONE DELLA PONTICELLATURA (Versione Internazionale)</u>
6-1	6.	<u>DESCRIZIONE DI FUNZIONAMENTO</u>
6-1	6.1	<u>DESCRIZIONE A BLOCCHI DEL SISTEMA</u>
6-2	6.2	<u>DESCRIZIONE GENERALE</u>
6-3	6.3	<u>CPU (MSM80C85ARS)</u>
6-3	6.4	<u>MEMORIA</u>
6-3	6.4.1	RAM (Random Access Memory)
6-4	6.4.2	ROM (Read Only Memory)

PAGINA

6-4	6.5	<u>DECODIFICA DI INDIRIZZO E SELEZIONE DEI BANCHI</u>
6-4	6.5.1	DECODIFICA DI INDIRIZZO PER LA SELEZIONE DEI CHIP DI RAM
6-6	6.5.2	SELEZIONE CHIP DI ROM
6-7	6.6	<u>MAPPA DELLA MEMORIA</u>
6-7	6.7	<u>DESCRIZIONE DELLA MAPPA E DELLA PORTA DI I/O</u>
6-9	6.8	<u>TASTIERA</u>
6-11	6.9	<u>INTERFACCIA DEL REGISTRATORE A CASSETTE</u>
6-11	6.9.1	SEZIONE DI MODULAZIONE
6-11	6.9.2	SEZIONE DI DEMODULAZIONE
6-12	6.9.3	SEZIONE REMOTE
6-12	6.10	<u>INTERFACCIA BAR CODE READER</u>
6-13	6.11	<u>INTERFACCIA STAMPANTE</u>
6-14	6.12	<u>CIRCUITO DI CONTROLLO DEL CICALINO</u>
6-14	6.13	<u>BUS DI SISTEMA</u>
6-16	6.14	<u>INTERFACCIA LCD</u>
6-18	6.15	<u>CIRCUITO DI CONTROLLO DEL CLOCK</u>
6-18	6.15.1	SEQUENZA DI PREDISPOSIZIONE DELL'ORA
6-19	6.15.2	SEQUENZA DI LETTURA DELL'ORA
6-20	6.16	<u>INTERFACCIA SERIALE</u>
6-20	6.16.1	CIRCUITO DI CONTROLLO SERIALE
6-23	6.16.2	CIRCUITO DI SCAMBIO TRA MODEM E RS-232C (Solo Versione USA)
6-24	6.16.3	CIRCUITO DI SCAMBIO TRA RS-232C E PONTICELLI LINGUA (solo versione Internazionale)
6-25	6.16.4	CIRCUITI DELL'RS-232C
6-26	6.16.5	MODULAZIONE/DEMODULAZIONE
6-27	6.16.6	CIRCUITO DEL FILTRO DI TRASMISSIONE (Solo Versione USA)

PAGINA

6-28	6.16.7	CIRCUITO DI COMPARAZIONE E FILTRO DI RICEZIONE (Solo Versione Usa)
6-28	6.16.8	ALTRI CIRCUITI (Solo Versione USA)
6-30	6.17	<u>PANNELLO LCD</u>
6-33	6.18	<u>CIRCUITO DI CONTROLLO DELL'LCD</u>
6-35	6.19	<u>FORMA D'ONDA DELL'LCD</u>
6-36	6.20	<u>CIRCUITO DI ALIMENTAZIONE E DI SPEGNIMENTO AUTOMATICO</u>
6-38	6.20.1	CIRCUITO CONVERTITORE CC/CC
6-39	6.20.2	CIRCUITO DI RILEVAZIONE BASSA POTENZA E DI SPEGNIMENTO AUTOMATICO
6-39	6.21	<u>CIRCUITO DI RESET</u>

1. CONFIGURAZIONE DI SISTEMA

1.1 CONFIGURAZIONE DI SISTEMA

1.1.1 UNITA' LCD

L'unita' LCD e' composta dalla piastra a circuito stampato per l'LCD, da un rivestimento acrilico per il display e dalla carrozzeria inferiore dell'LCD.

L'accesso dei dati alla piastra a circuito stampato principale e' realizzato tramite un opportuno cavo. Tutte le versioni dell'M 10 usano la stessa unita' LCD.



1-1 Vista d'insieme dell'M10

1.1.2 TASTIERA

Esistono cinque versioni di tastiera: americana, tedesca, italiana, inglese e francese.

Modificando le ponticellature installate sulla piastra principale si possono realizzare le varie versioni nazionali, con esclusione della versione USA.

L'accesso dei dati alla piastra a circuito stampato viene realizzato tramite due flat cable.

1.1.3 CORPO PRINCIPALE

Una piastra a circuito stampato e' installata nel corpo principale. Tutti i componenti della piastra sono collocati nella parte inferiore di tale corpo. Esistono due tipi di circuito stampato, uno per la versione USA comprendente anche un modem, l'altro per la versione internazionale, senza modem. Del tipo internazionale ne esistono 4 versioni: inglese, italiana, francese e tedesca, realizzabili connettendo opportunamente due ponticelli.

1.2 GENERALITA' DEL SISTEMA

L'M10 e' un computer portatile (tipo A4) con le seguenti caratteristiche:

- Programma applicativo interno
- Funzionamento a pile o tramite adattatore per ac
- Display a cristalli liquidi (LCD) regolabile
- Microprocessore 80C85
- ROM
- RAM
- Interfacce I/O per periferiche
- Batteria interna di back-up per le RAM
- Spegnimento automatico

1.2.1 PROGRAMMA APPLICATIVO INTERNO

La ROM standard dell'M10 contiene i seguenti programmi:

BASIC: E' il linguaggio principale per lavorare sull'M10.

TEXT: E' la funzione di text editor utilizzata per creare o modificare un testo.

ADDRESS: Memorizza indirizzi nel file telefonico. L'utente puo' cercare qualunque informazione personale digitando il nome o qualsiasi altra chiave del file indirizzi.

TELCOM: E' la funzione di telecomunicazione. Emulazione terminale con prestazione di caricamento e scaricamento di un file. Usando il selezionatore telefonico interno ed il file indirizzi, l'utente puo' cercare il nome e il numero telefonico di una persona, e quindi farlo chiamare automaticamente tramite l'M10.

1.2.2 FUNZIONAMENTO A PILE O TRAMITE ADATTATORE PER AC

L'M10 puo' funzionare con un adattatore a.c. o, data la sua portatilita', con quattro batterie a secco, tipo AM-3, la cui durata e' la seguente:

Per un'ora al giorno tipico 20 giorni (a temperatura normale e senza interfacce I/O)

Per quattro ore al giorno ... tipico 5 giorni

1.2.3 DISPLAY A CRISTALLI LIQUIDI (LCD) REGOLABILE

Il display a cristalli liquidi ha 240 punti lungo l'asse orizzontale e 64 lungo l'asse verticale.

La dimensione di ogni punto e' di 0,8 mm.

L'utente e' in grado di cambiare l'angolazione del campo visivo muovendo lo schermo e agendo sul regolatore di contrasto.

1.2.4 MICROPROCESSORE 80C85

L'80C85 e' compatibile con l'8085 ed e' un processore C-MOS a bassa potenza.

1.2.5 ROM (Read Only Memory)

Contiene il programma sorgente BASIC.

L'M10 ha una ROM da 32K. Come opzione e' disponibile un'altra ROM da 32K che va montata sullo zoccolo del circuito stampato accessibile aprendo il fondello della carrozzeria del computer. La capacita' della ROM sara' cosi' portata a 64K, e le due ROM potranno essere usate separatamente dividendole in due banchi.

1.2.6 RAM (Random Access Memory)

Quando il computer e' acceso, la RAM contiene il programma BASIC ed i dati. I contenuti della RAM non si cancellano neppure con il computer spento (viene infatti inserita automaticamente la batteria di back-up). L'M10 contiene una RAM da 8K. Comunque, un'ulteriore RAM da 24K (tre chip da 8K ciascuno) puo' essere montata sugli zoccoli previsti sulla piastra a circuito stampato, all'interno della carrozzeria.

1.2.7 INTERFACCE I/O PER PERIFERICHE

Sono disponibili le seguenti interfacce:

- RS-232C: conforme allo standard EIA (Electronic Industries Association).
- Interfaccia Audio Cassette: per l'uso di un registratore audio a cassette.
- Interfaccia stampante: conforme allo standard dell'interfaccia Centronics.
- MODEM/coupler: secondo lo standard BEL103 (solo versione USA).

1.2.8 BATTERIA INTERNA PER IL BACK-UP DELLA RAM

La batteria ricaricabile Ni-Cd e' in grado di sostenere la RAM per un periodo tipico di 40 giorni (8K) o 10 giorni (32K) a prescindere dalle batterie di alimentazione.

1.2.9 SPEGNIMENTO AUTOMATICO

Nella condizione "attesa di comando", l'alimentazione in D.C. viene interrotta automaticamente se non si introducono dati per 10 minuti. Per ripristinare l'operativita', e' necessario spegnere il computer, per poi riaccenderlo (commutatore su "ON").

1.3 CONFIGURAZIONE DI SISTEMA NELLA VERSIONE INTERNAZIONALE

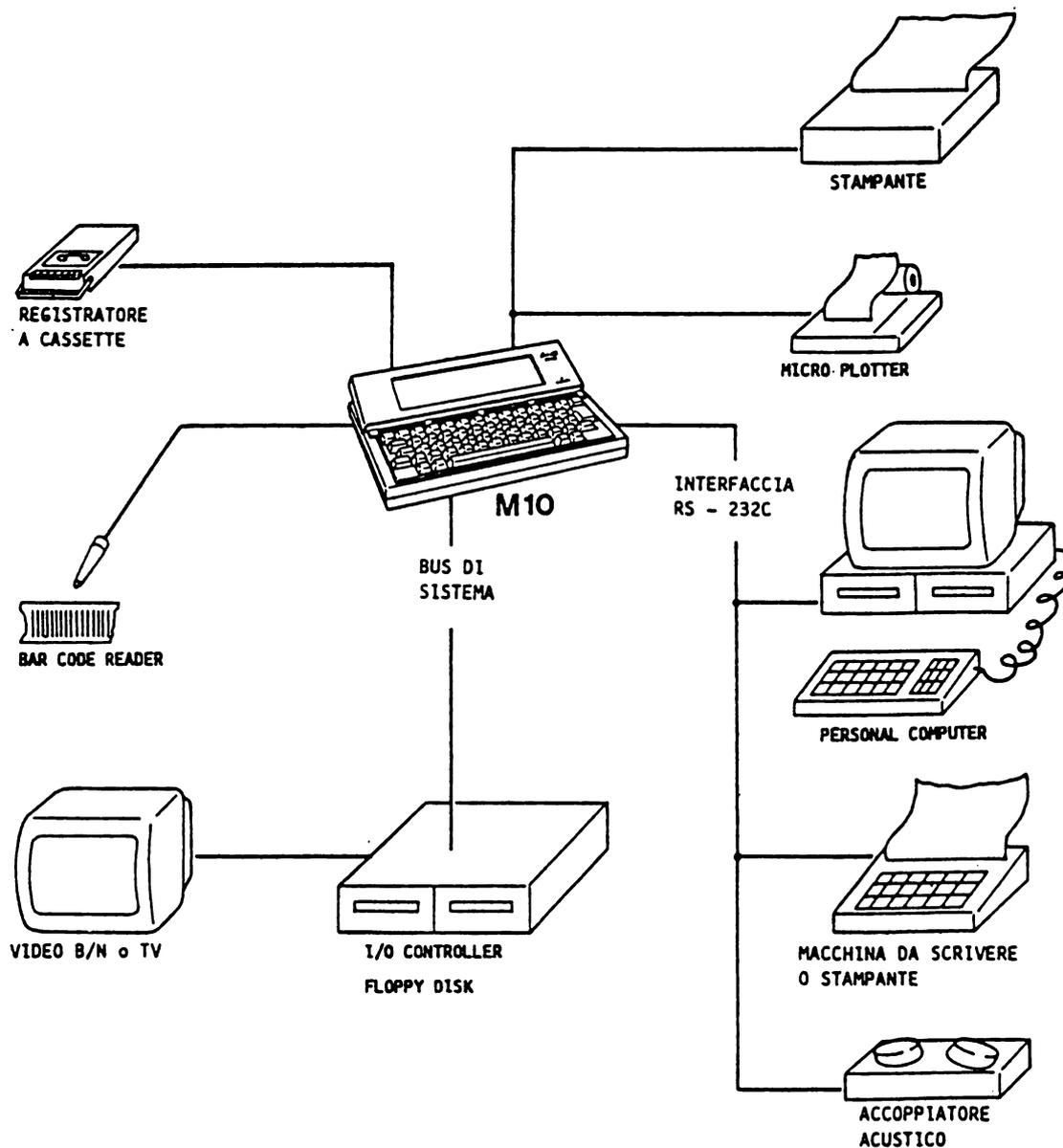


Fig. 1-2 Configurazione di sistema

1.4 CONFIGURAZIONE DI SISTEMA NELLA VERSIONE USA

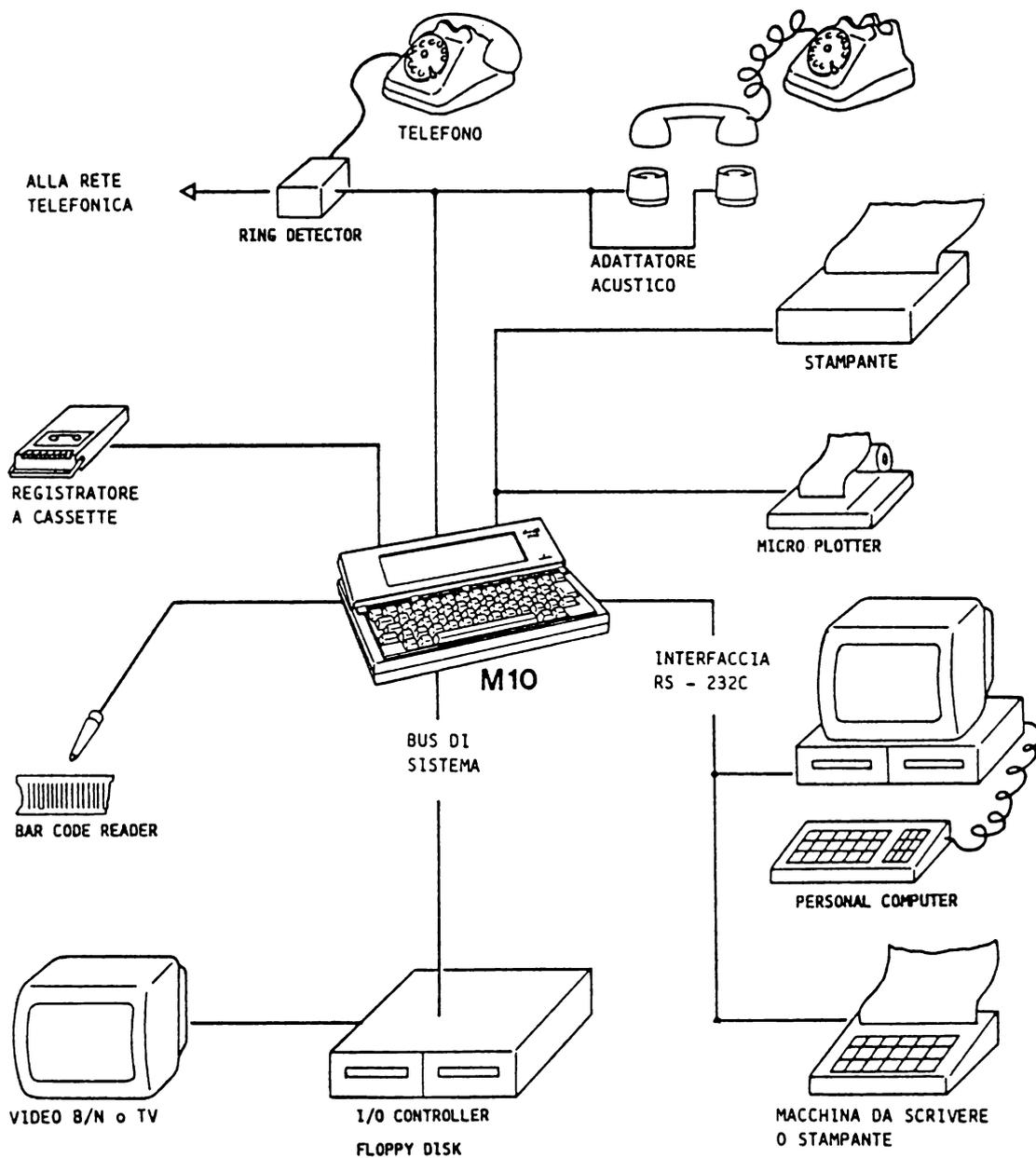


Fig. 1-3 Configurazione di sistema USA

2. CONFIGURAZIONE DI SISTEMA

Questa sezione fornisce informazioni sulla normale manutenzione dell'M10, in particolare per il suo smontaggio e per la regolazione del livello MODEM.

Notare che la procedura di regolazione MODEM si applica solo alla versione USA dal momento che le altre versioni sono sprovviste del MODEM integrato.

2.1 SMONTAGGIO

1. Scollegare i cavi delle eventuali periferiche collegate all'M10.
2. Facendo attenzione a non rigare i tasti e il display, capovolgere la macchina e svitare le quattro viti A (Fig.2-1) dal fondello della carrozzeria.
3. Scollegare i connettori dell'LCD e della tastiera dalla piastra a circuito stampato principale.
4. Svitare le tre viti B (Fig.2-2) che fissano la piastra a circuito stampato principale ed estrarla.
5. Svitare le cinque viti C (Fig. 2-3) che assicurano la tastiera ed estrarla.
6. Svitare le 4 viti D (Fig. 2-3) che fissano le piastrine a molla.
7. Capovolgere la carrozzeria per togliere il display. Spingendo il display verso sinistra, far scorrere le estremità delle linguette di plastica una per volta e far scivolare il display verso sinistra.

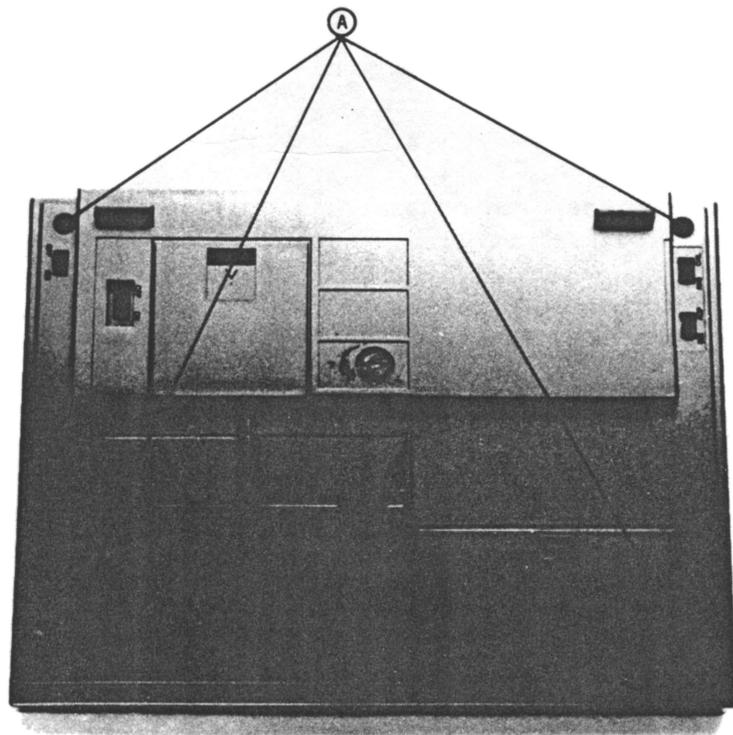


Fig. 2-1 Smontaggio della carrozzeria inferiore

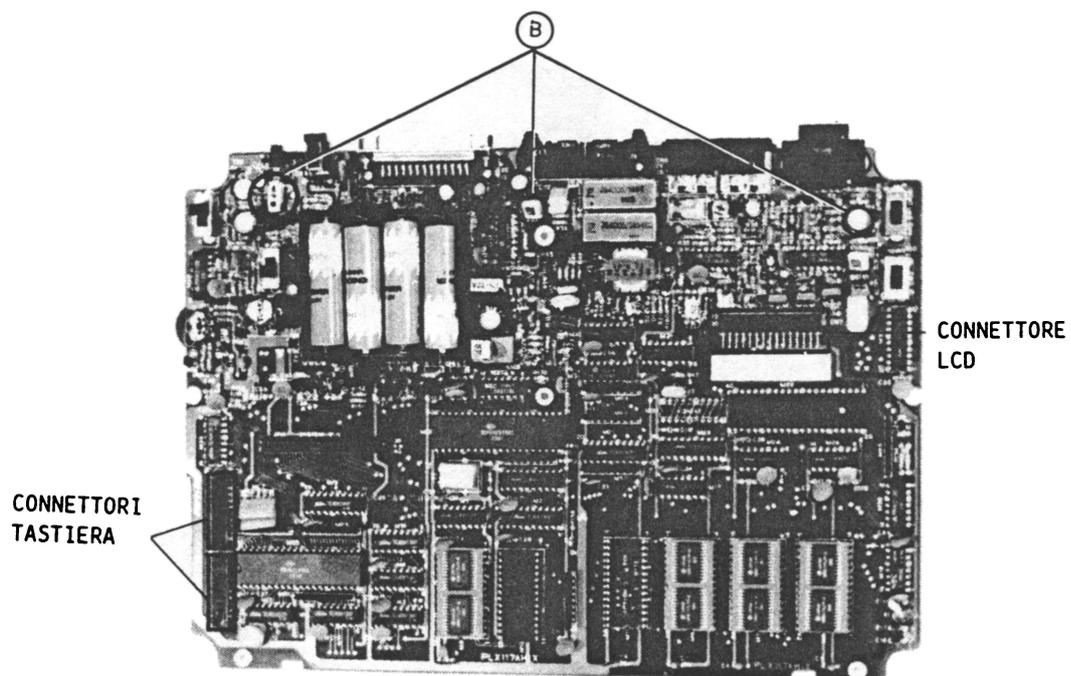


Fig. 2-2 Smontaggio della piastra principale

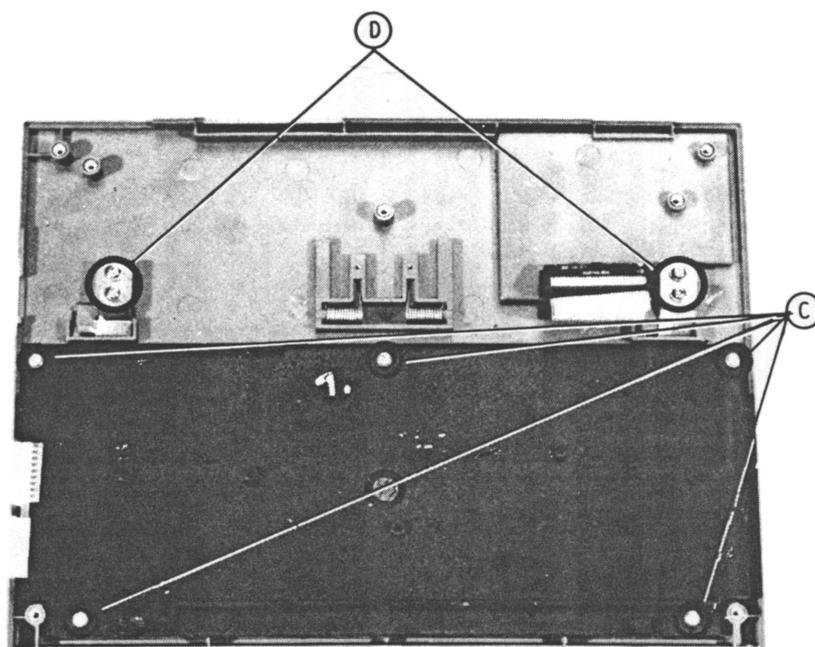


Fig. 2-3 Rimozione della tastiera e del display

2.2 REGOLAZIONE DEL LIVELLO DI TRASMISSIONE DEL MODEM

Commutare l'interruttore DIR/ACP nella posizione DIR.

1. Collegare un carico fittizio di 600 Ohm tra il pin 1 (RXMD) e il pin 7 (TXMD) del connettore MODEM (CN4).
2. Collegare un voltmetro in ac tra RXMD e TXMD.
3. Predisporre l'M10 nel modo BASIC e digitare i seguenti comandi per generare una portante:
 - . OUT 178,47
 - . OUT 168,02
4. Regolare il potenziometro VR2 in modo da leggere sullo strumento da -14 a -17 dBm per entrambe i modi ANS/CAL.

Per le procedure di smontaggio, procedere in senso inverso.

3. TEST FUNZIONALI

Questa sezione fornisce indicazioni sul programma diagnostico denominato "M10TST".

3.1 FORMATO DEL NASTRO DELLA CASSETTA DIAGNOSTICA

Questa cassetta comprende due programmi (vedi figura 3-1). Il primo e' scritto in BASIC e viene caricato in memoria digitando il comando: CLOAD "M10TST"

Dopo aver digitato RUN, questo programma andra' in esecuzione e fara' caricare il programma successivo "M10BIN", scritto in linguaggio macchina.

Nessun menu' appare sul display, finche' non viene caricato M10BIN.

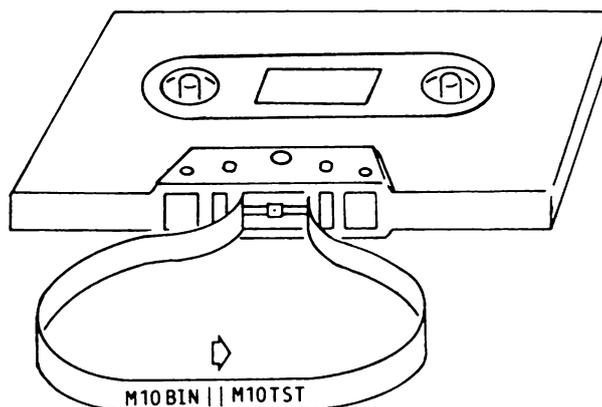


Fig. 3-1 Cassetta diagnostica

3.2 GESTIONE DEL PROGRAMMA DIAGNOSTICO

1. Collegare un registratore a cassetta all'M10 e inserire la cassetta del programma diagnostico.

2. Predisporre l'M10 nel modo BASIC e digitare:

CLOAD "M10TST" **ENTER**

3. Appena "M10TST" e' caricato, viene visualizzato il messaggio OK; quindi digitare:

RUN **ENTER**

4. "M10TST" inizia così a cercare e quindi leggere il programma successivo: "M10BIN". Sul display apparirà il seguente messaggio:

READING CASSETTE NOW

5. Appena "M10BIN" è stato caricato, sul display apparirà il menu diagnostico:

OLIVETTI M10 CHECKER

1 - ALL	6 - KEY BOARD TEST
2 - MAIN BOARD	7 - RS232C TEST
3 - CHARACTER	8 - PRINTER TEST
4 - LCD TEST	9 - BAR CODE TEST
5 - CLOCK TEST	

ABORT by "X" SELECT MENU

6. Per eseguire il test desiderato digitare il numero d'ordine indicato nel menu'.

Se non vengono riscontrati errori durante il test, il display ripresenterà il menu'.

Se l'M10 interrompe l'esecuzione del test, bloccare il programma premendo contemporaneamente i tasti SHIFT e BREAK, poi digitare:

RUN 1010

ENTER

In alternativa si può resettare e ricaricare il programma.

3.3 DESCRIZIONE DEL PROGRAMMA

3.3.1 ALL

Questo programma esegue nell'ordine i seguenti test:

MAIN BOARD, CHARACTER, LCD TEST, CLOCK TEST, KEY BOARD TEST, RS232C TEST e BAR CODE TEST.

Se vengono trovati errori, questi saranno visualizzati con la scritta "NG" (No Good) e con i relativi messaggi; verrà inoltre emesso un segnale acustico.

A tal punto, se si preme il tasto appropriato, il test procede ai passi successivi saltando la routine di rilevazione errori.

3.3.2 MAIN BOARD

Questo test costituito da due sezioni controlla la CPU, la RAM e la ROM della piastra principale a circuito stampato.

La prima sezione controlla le funzioni del flag e del Register della CPU; quindi controlla la RAM leggendo, dopo averli scritti, 24 patterns di dati su E000H-FFFFH. Se il programma rileva errori, viene visualizzato l'indirizzo dell'errore ed emesso un segnale acustico.

La seconda sezione controlla la ROM leggendo i dati in essa memorizzati, un byte alla volta, a partire dall'indirizzo 0000H; quindi esegue un OR esclusivo mediante comparazione con i contenuti di una ROM standard. Se

il programma rivela degli errori, il risultato dell'OR esclusivo viene visualizzato e inoltre viene emesso un segnale acustico. Se il programma dovesse rilevare errori durante il controllo della CPU, l'M10 andrà in stato di HALT.

3.3.3 CHARACTER TEST

Questo test visualizza i caratteri disponibili secondo il codice ASCII da 22 a 255.

Non appena il display è completo il cursore va nella condizione di blinking; premendo il tasto appropriato si ritornerà al menu'.

Questo test non rileva gli eventuali errori.

3.3.4 LCD TEST

Questo test scurisce il display LCD cancellando un puntino per volta, una riga per volta.

Assicurarsi che il display LCD si scurisca completamente. Questo test non rileva gli eventuali errori.

3.3.5 CLOCK TEST

Predisporre il clock di sistema alle "23:59:57 31th december,1983". Quindi far partire il clock di sistema secondo per secondo e assicurarsi che si legga "00:00:01 1st January,1984".

Se il programma rileva un conteggio errato del clock di sistema, viene visualizzato il tipo di errore (ora, data, anno) e viene emesso un segnale acustico.

3.3.6 KEYBOARD TEST

Se si esegue questo test, sul display verrà visualizzato il seguente messaggio:

```
KEYBOARD TEST PLEASE      KEY IN
```

A questo punto premendo un qualsiasi tasto, con eccezione dei tasti funzione, ne verrà visualizzato il carattere e il relativo codice ASCII.

Per concludere il test premere gli appropriati tasti funzione (per es. ENTER). Il display ritorna al menu'.

Questo programma non rileva gli eventuali errori.

3.3.7 RS-232C TEST

Per eseguire questo programma e' necessario inserire un tappo di richiusura nel connettore RS-232C sul lato posteriore dell'M10, (vedi figura 3-2). In questo test RST viene trasmesso per primo e viene ricevuto dal terminale CTS. Se questo passo e' eseguito correttamente, i dati verranno trasmessi dal terminale TXR e ricevuti dal terminale RXR e quindi verranno controllati. La velocita' dei dati e' di 19200, 9800 e 75 baud.

Se vengono rilevati errori, questi verranno visualizzati e contemporaneamente verra' emesso un segnale acustico.

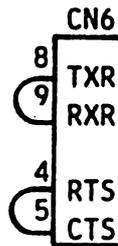


Fig. 3-2 Tappo di Richiusura

3.3.8 PRINTER TEST

Eseguendo questo programma sul display verra' visualizzato il seguente messaggio:

```
1. PRINTER or 2. PLOTTER TEST
  SET PRINTER OR PLOTTER
  SELECT (1 OR 2 OR Q-UIT)
```

Se si vuole eseguire il test sulla stampante, digitare "1", se si vuole eseguire il test sul plotter, digitare "2". Se non si vuole eseguire alcun test e si desidera tornare al menu', digitare "Q". Questo test invia caratteri alla stampante o al plotter; ma nel caso del plotter, essi verranno rappresentati in quattro colori.

Se si esegue questo test senza collegare la stampante o il plotter, l'M10 si blocca. In tal caso, interrompere il programma premendo contemporaneamente i tasti SHIFT e BREAK, quindi digitare:

RUN 1010 **ENTER**

Il display ritorna al menu'.

3.3.9 BAR CODE TEST

Questo test legge dati scritti im codice JAN o EAN o UPC, e quindi li visualizza.

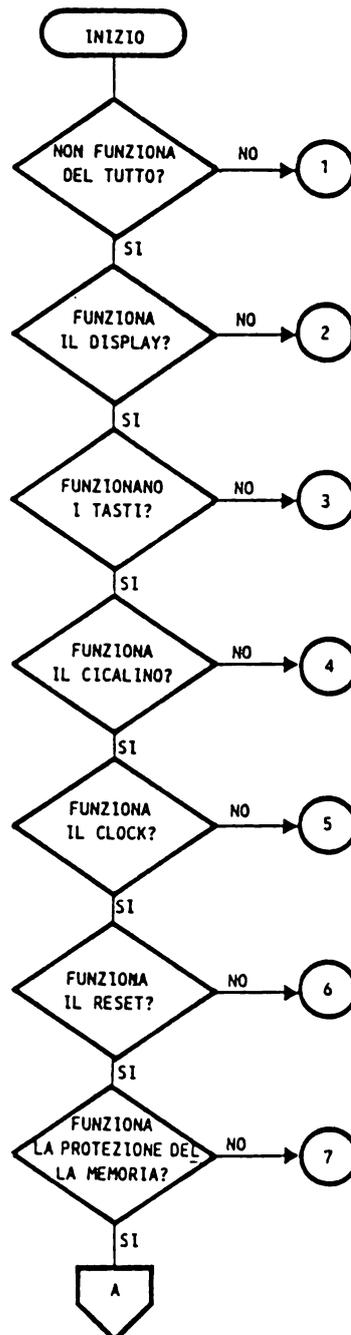
Per interrompere l'esecuzione di questo test, premere contemporaneamente i tasti SHIFT E BREAK, quindi digitare:

RUN 1010 **ENTER**

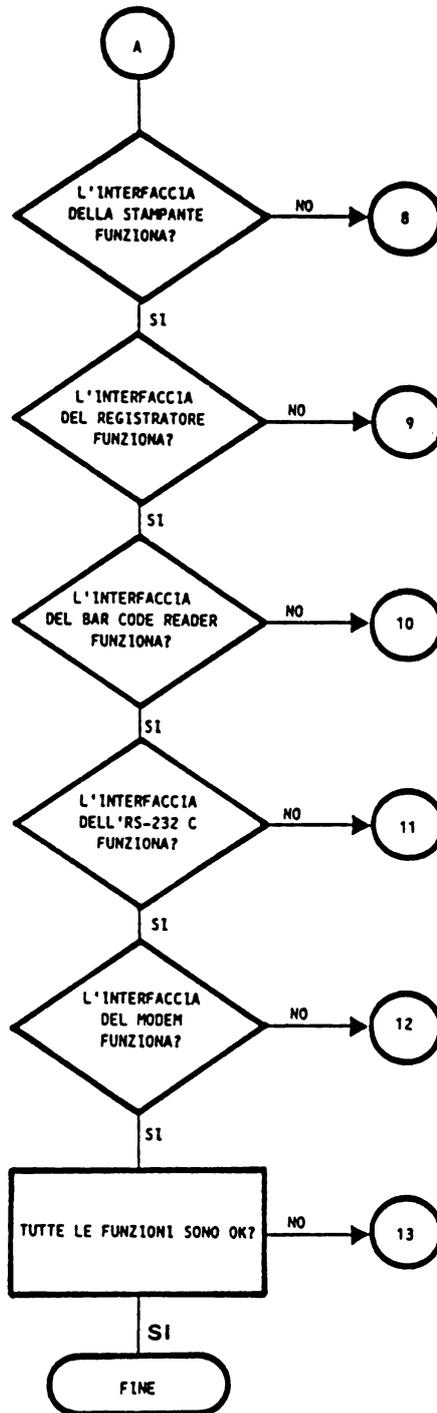
Il display ritorna al menu'.

4. GUIDA ALL'INTERVENTO

4.1 DIAGRAMMA DI FLUSSO DEI GUASTI

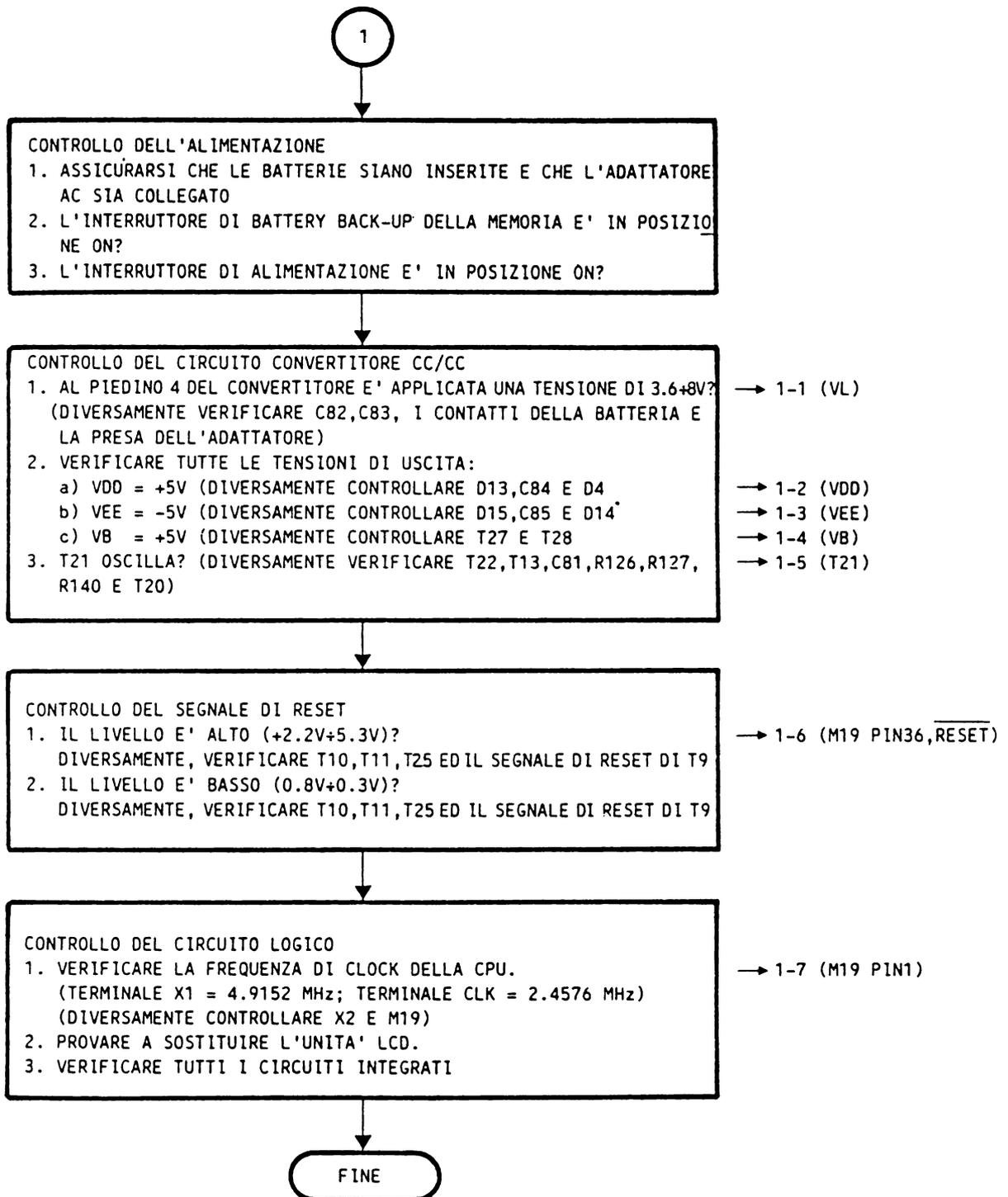


Continua dalla pagina precedente.

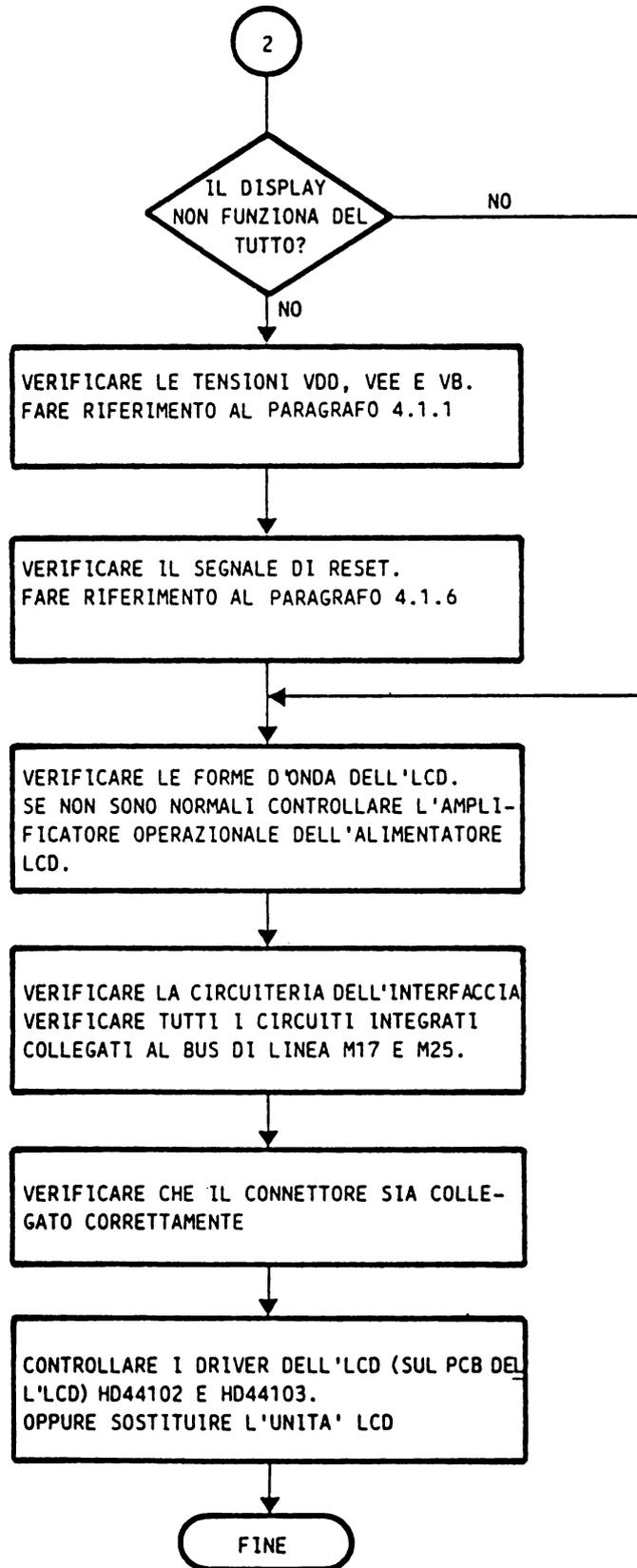


NOTA BENE: Nei test che seguono, i numeri a fianco dei vari blocchi si riferiscono agli elementi circuitali riportati nelle figure 4-1 e 4-2 poste alla fine di questo capitolo.

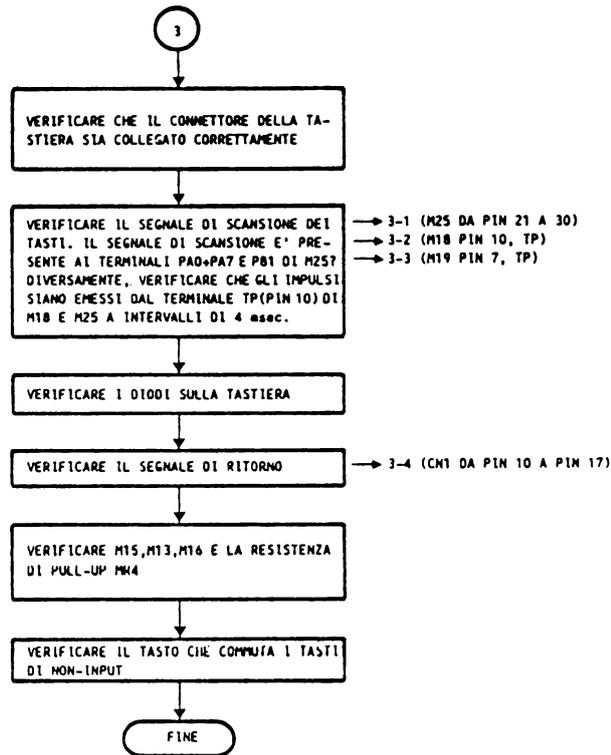
4.1.1 NON FUNZIONA DEL TUTTO



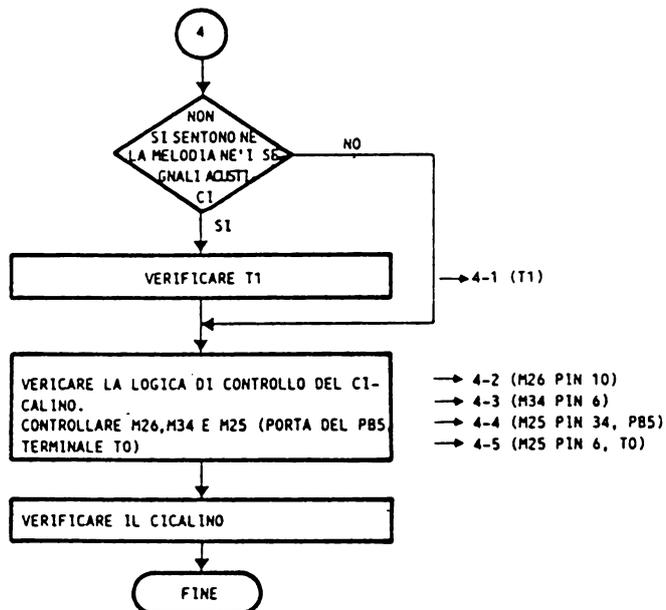
4.1.2 IL DISPLAY NON FUNZIONA



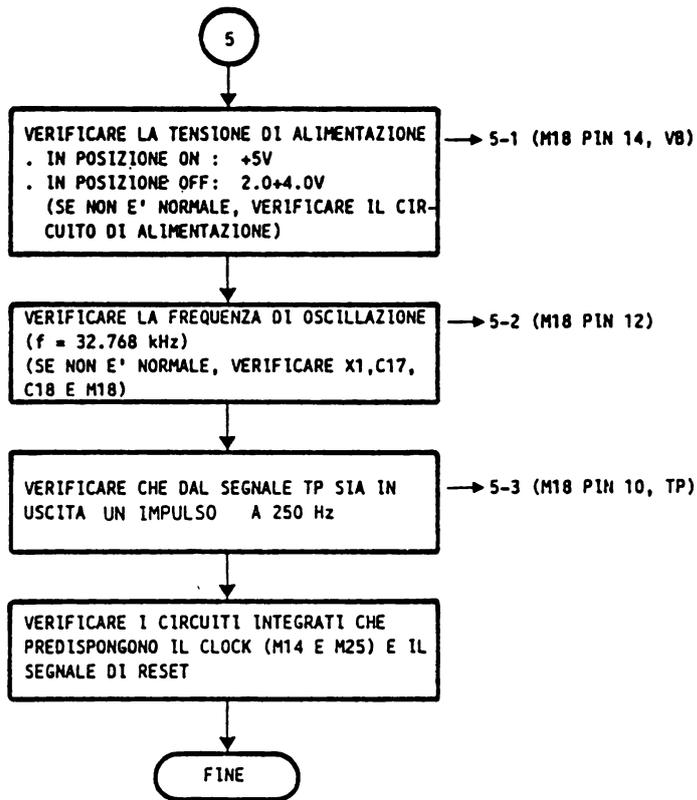
4.1.3 LA TASTIERA NON FUNZIONA



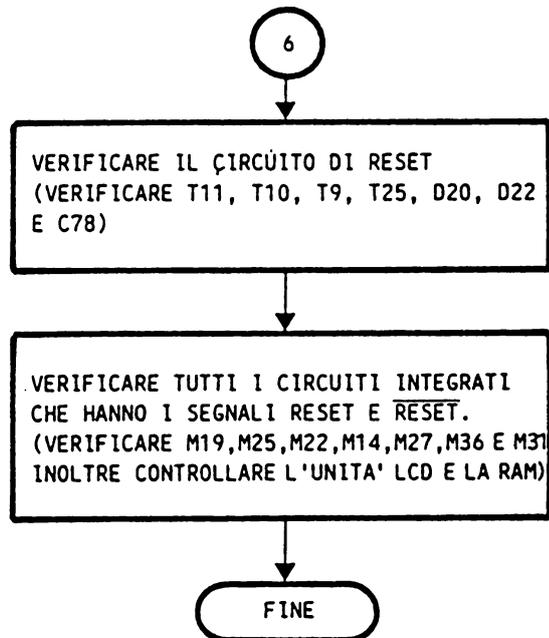
4.1.4 IL CICALINO NON FUNZIONA



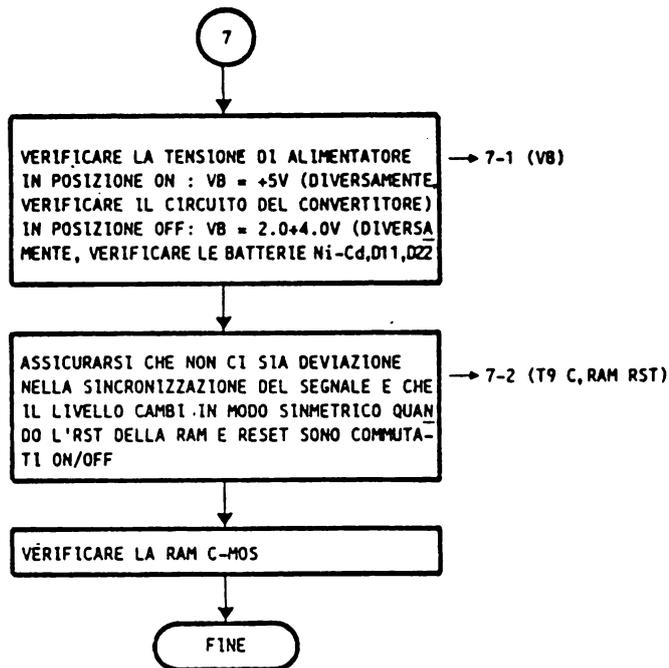
4.1.5 IL CLOCK NON FUNZIONA



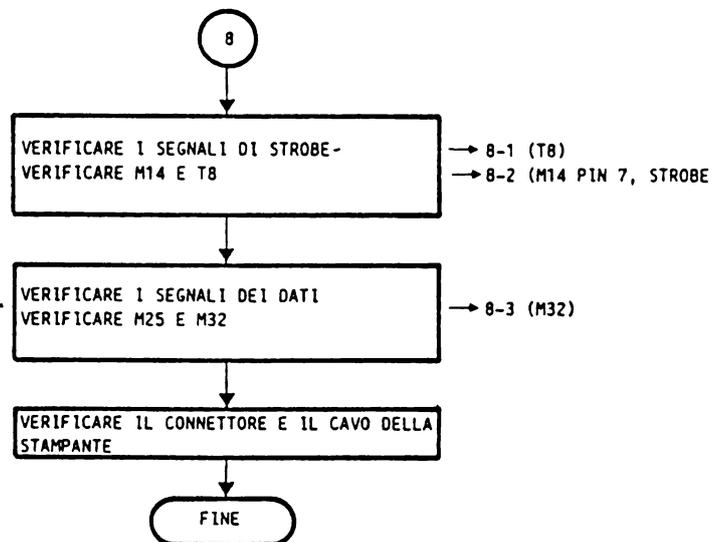
4.1.6 IL RESET NON FUNZIONA



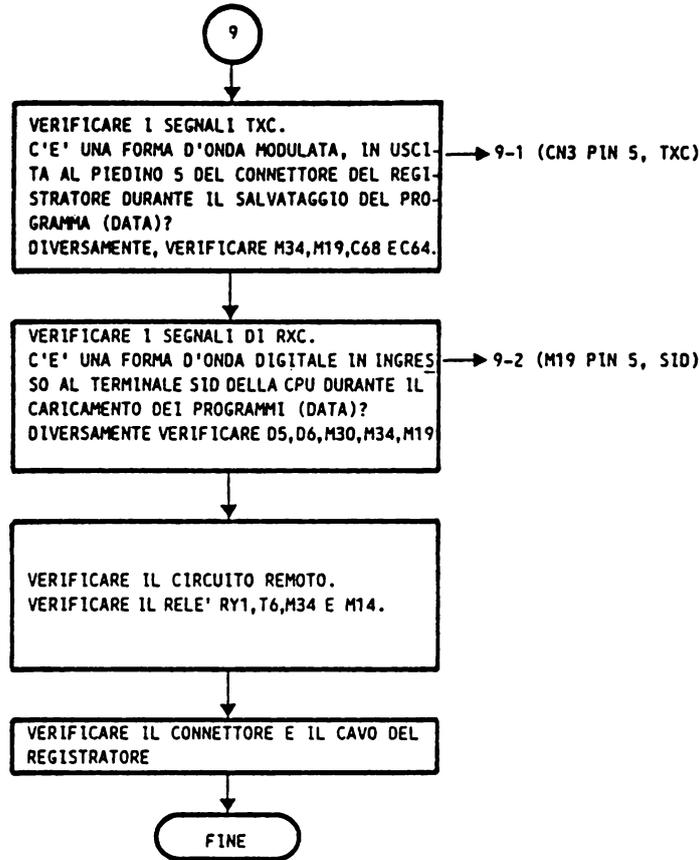
4.1.7 LA PROTEZIONE DELLA MEMORIA NON FUNZIONA



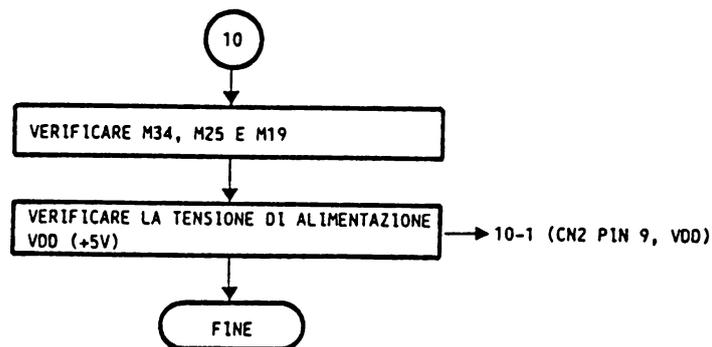
4.1.8 L'INTERFACCIA STAMPANTE NON FUNZIONA



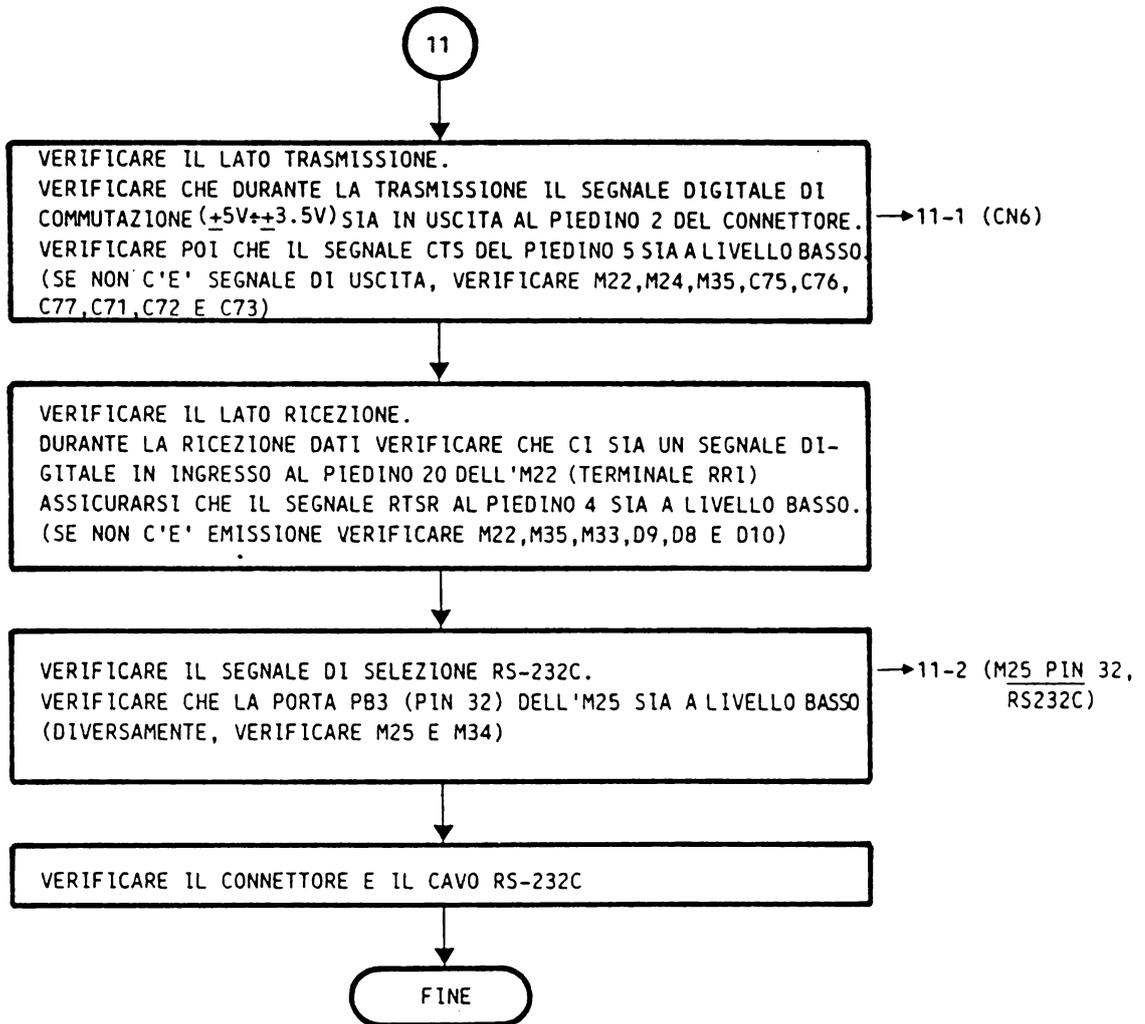
4.1.9 L'INTERFACCIA REGISTRATORE NON FUNZIONA



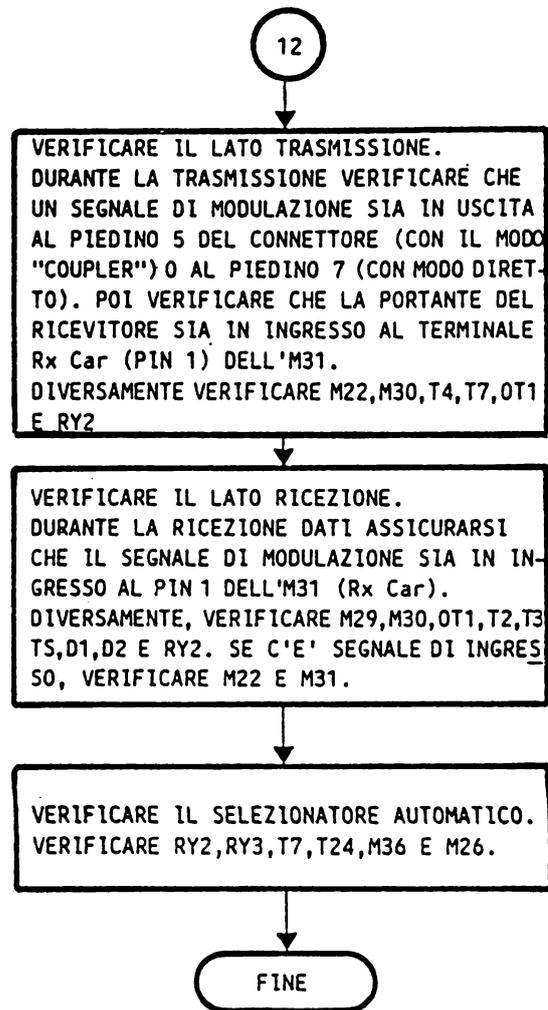
4.1.10 L'INTERFACCIA B.C.R. NON FUNZIONA



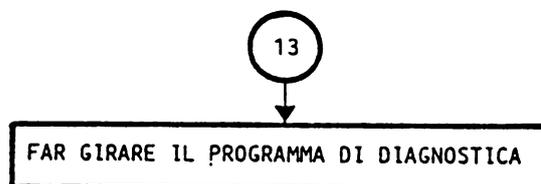
4.1.11 L'INTERFACCIA RS-232C NON FUNZIONA



4.1.12 L'INTERFACCIA MODEM NON FUNZIONA



4.1.13 TUTTE LE FUNZIONI SONO OK ?



4.2 SCHEMA DI POSIZIONAMENTO DEI TEST POINT

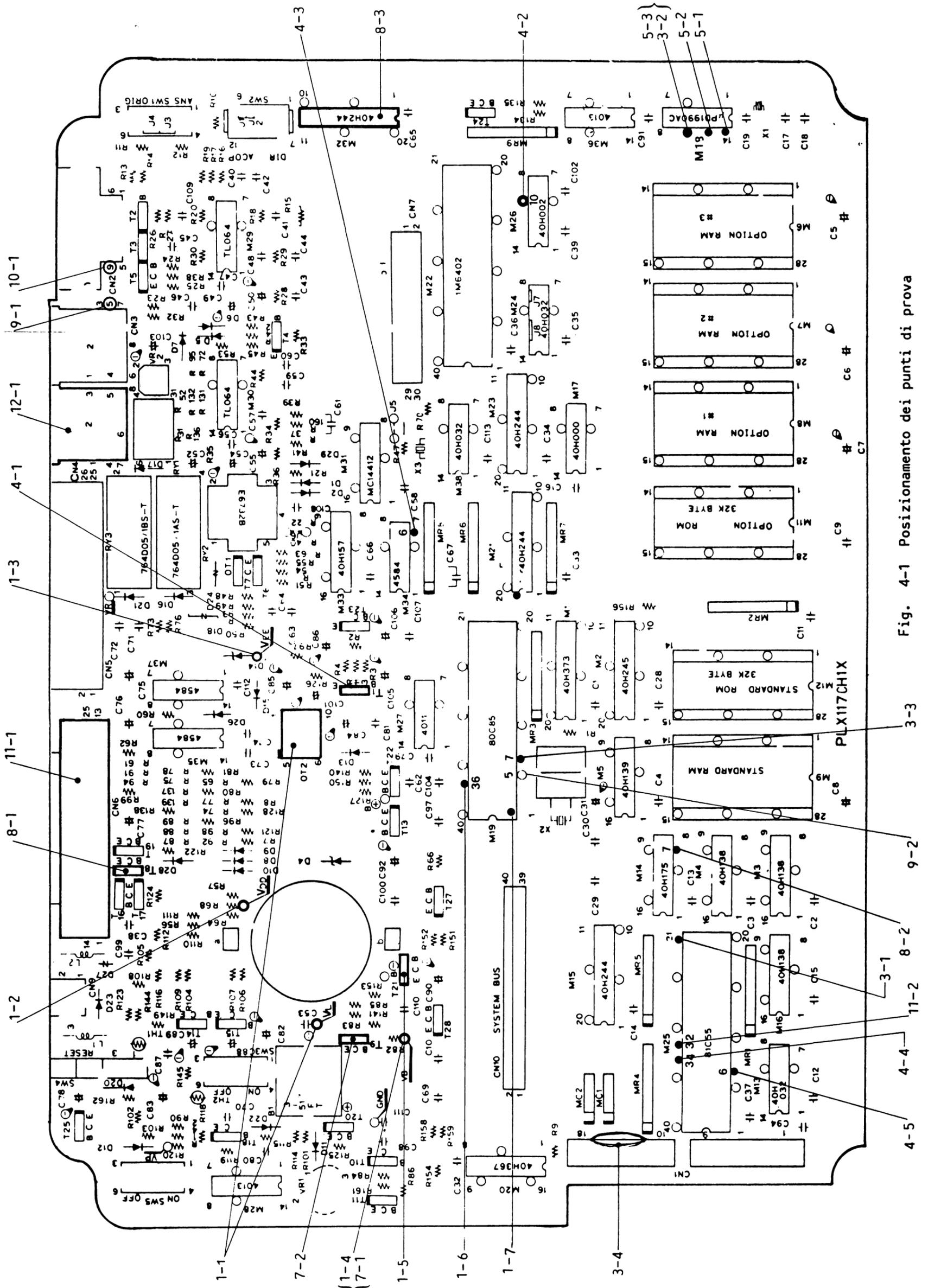
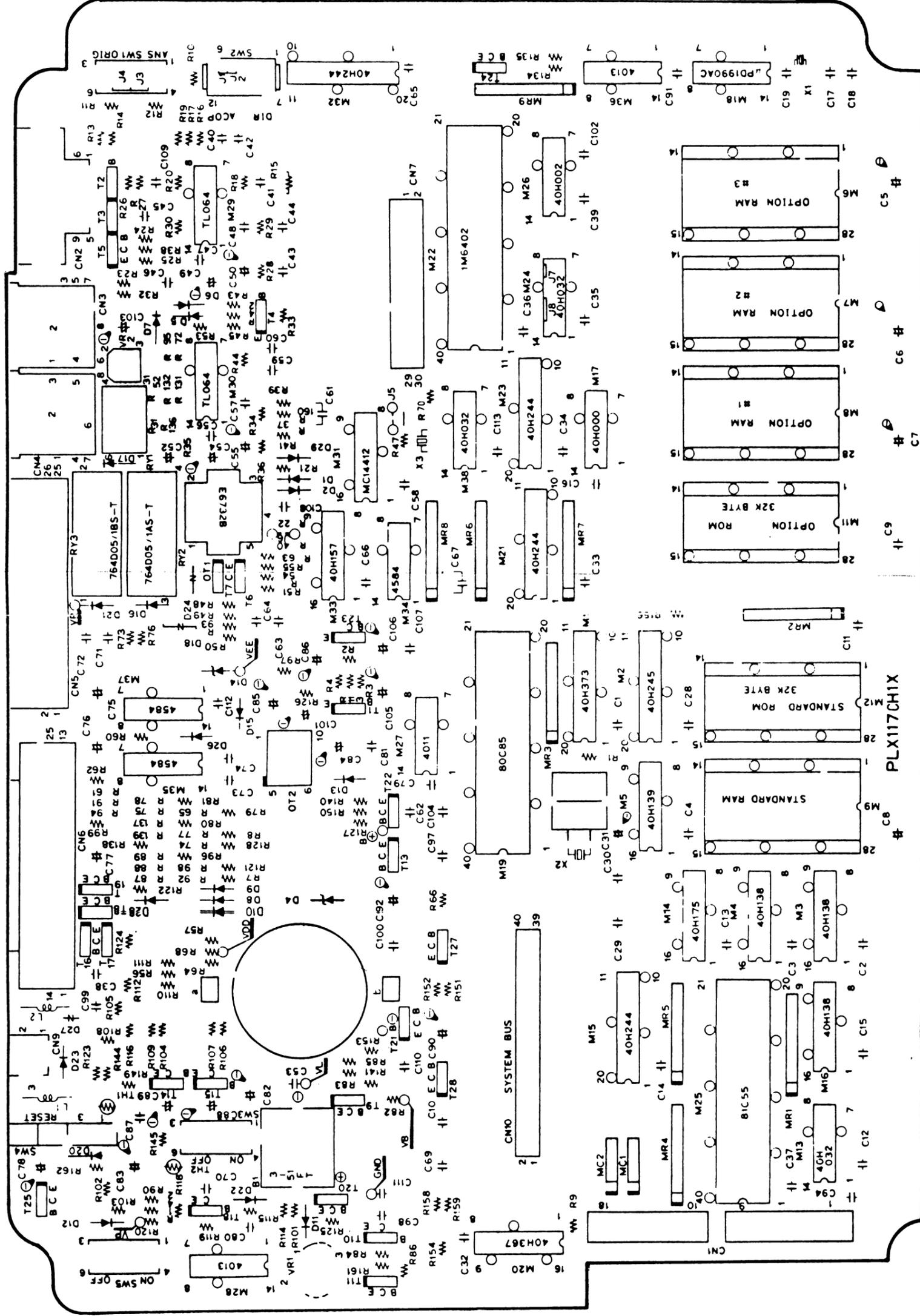


Fig. 4-1 Posizionamento dei punti di prova

4.3 SCHEMA DI POSIZIONAMENTO DEI PRINCIPALI COMPONENTI



IC - M	28,20,13,25,16,	14,4,3,	19,5,9,35,27,1,2,12,	33,34,21,11,31,38,23,17,8,30,24,7,22,29,26,6	33,36,18
TR - T	11,10,18,25,9,14,15,28,21,16,17,27,8,9,13,22,	1,	23,	7,6,	4,
RELAY - RY				5,3,2,	24
CONNECTOR - CN 1,	9,10,	6,	2,3	1	
				4,	2, 7,
				3,	

Fig. 4-2 Posizionamento dei principali componenti

5. CONFIGURAZIONE DI SISTEMA

5.1 CARATTERISTICHE ELETTRICHE E FISICHE

Qui di seguito si riportano le principali caratteristiche elettriche e fisiche dell'M10.

TASTIERA

- Numero dei tasti 73
- Funzioni/Comandi 16
- Altri 57

DISPLAY LCD

- Pannello del display Matrice completa di punti 240x64
ciclo 1/32
coefficiente di polarizzazione 1/6.66
- Passo dei punti 0.8 x 0.8 mm
- Dimensione dei punti 0.73 x 0.73 mm
- Area effettiva del display ... 191,2 x 50,4 mm

CARROZZERIA

- Dimensioni 300 (l) x 55 (h) x 225 (p) mm
- Materiale ABS

BATTERIE OPERATIVE

- Batterie 4 batterie alcaline/manganese (AM-3)
- Tempo di funzionamento 5 giorni (4 ore al giorno)
20 giorni (1 ora al giorno)
Nota: senza unita' di I/O

BATTERIA DI PROTEZIONE MEMORIA

- Batteria Batteria ricaricabile (3-51FT)
- Tempo di protezione Circa 40 giorni (Memoria da 8 KB)
Circa 10 giorni (Memoria da 32 KB)

COMPONENTI LSI

- CPU 80C85
Compatibile con l'8085
- ROM Massimo 64KB (2 banchi da 32KB)
Standard 32KB
Opzionale 32KB
- RAM Massimo 32KB
Standard 8KB (4 TOSHIBA TC5518BF)
Incrementi di RAM di package da 8KB
- CLOCK/CALENDARIO uPD 1990AC (NEC)
senza anno bisestile e 29 febbraio

RS-232C

- Conforme allo standard EIA
- Segnali TXR (Trasmissione dati)
RXR (Ricezione dati)
RTSR (Request To Send)
CTSR (Clear To Send)
DSRR (Data Set Ready)
DTRR (Data Terminal Ready)
CDR (Carrier Detect) (vers. int.)
- Lunghezza dei dati 6,7 o 8 bit
- Parita' Nessuna, pari o dispari
- Lunghezza bit di stop 1 o 2 bit
- Baud Rate 75, 110, 300, 600, 1200, 2400, 4800,
9600, 19200 bit/s
- Distanza max di trasmissione 5 m
- Tensione massima di pilotaggio +/- 5 V
- Tensione minima di pilotaggio +/- 3.5 V
- Tensione massima di ingresso del ricevitore +/- 18 V
- Tensione minima di ingresso del ricevitore +/-3 V

MODEM/ACCOPIATORE (solo versione USA)

- Conforme allo standard BEL103
- Baud Rate 300 bps
- Lunghezza dei dati 6,7 o 8 bit
- Parita' Nessuna, pari o dispari
- Lunghezza del bit di stop ... 1 o 2 bit
- Full-Duplex Answer Mode / Call Mode commutabili
- Funzione di interruzione della comunicazione
- Funzione di selettore automatico

INTERFACCIA DEL REGISTRATORE

- Velocita' trasmissione dati .. 1500 bit/s
(MARK: 2400 Hz, SPACE: 1200 Hz)

INTERFACCIA DELLA STAMPANTE

- Conforme allo standard dell'interfaccia Centronics
- Segnali di handshake STROBE, BUSY, SELECT

SPEGNIMENTO AUTOMATICO

- Nel caso in cui non si introducano programmi per 10 minuti (attesa di comando), l'alimentazione verra' automaticamente interrotta. Nel caso si desideri riattivare l'M10, e' necessario posizionare l'interruttore prima in posizione OFF, quindi in ON; il display tornera' cosi' nella condizione precedente lo spegnimento.

CONNETTORI

- RS-232C 25 Pin (DB-25S)
- Stampante 26 Pin (FRC2-C26-L13-ON)
- MODEM 8 Pin (TCS-4490)
- Registratore a cassette 8 Pin (TCS-4480)
- Bar Code Reader 9 Pin (A-7224)
- Bus del sistema 40 Pin (connettore)
- Adattatore AC 5.5 0 (negativo al centro)

5.2 FUNZIONE E POSIZIONE DEGLI INTERRUTTORI

La posizione degli interruttori e' illustrata nella seguente figura:

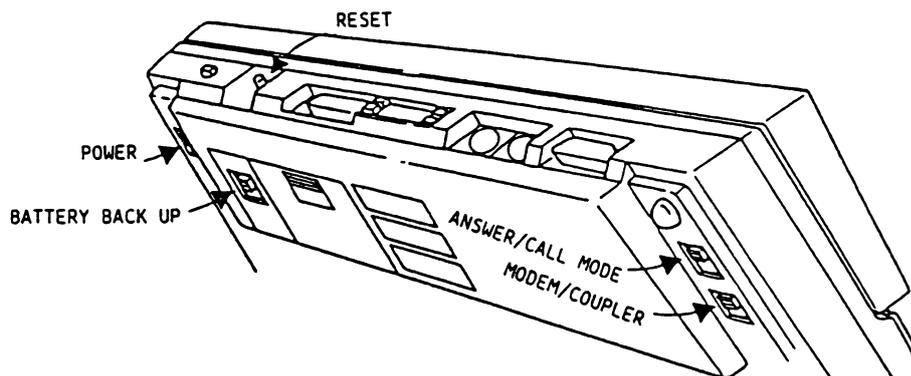


Fig. 5-1 Vista dal Basso

5.2.1 INTERRUTTORE DI ALIMENTAZIONE

Questo e' l'interruttore di sistema per l'alimentazione dell'M10.



Fig. 5-2 Interruttore Generale

5.2.2 INTERRUTTORE DI BATTERY BACK-UP

In posizione ON abilita il back-up della RAM tramite l'apposita batteria. In posizione OFF evita un inutile consumo di tale batteria.



Fig. 5-3 Interruttore di Back-Up

5.2.3 INTERRUTTORE ANSWER/CALL MODE (Solo versione USA)

Questo interruttore viene usato per selezionare l'ANSWER MODE o il CALL MODE.



Fig. 5-4 Interruttore ANSWER/CALL

5.2.4 INTERRUTTORE MODEM/COUPLER

Viene usato per selezionare l'accoppiatore acustico o la linea telefonica (collegamento diretto).



Fig. 5-5 Interruttore ACP/DIR

5.2.5 INTERRUTTORE DI RESET

Se l'M10 si blocca, premendo questo interruttore il display ripresenterà il menu.

5.3 INSTALLAZIONE DELLE BATTERIE

Installare le batterie come mostrato in figura 5-6. Usare quattro batterie AM-3 (batterie alcaline al manganese).

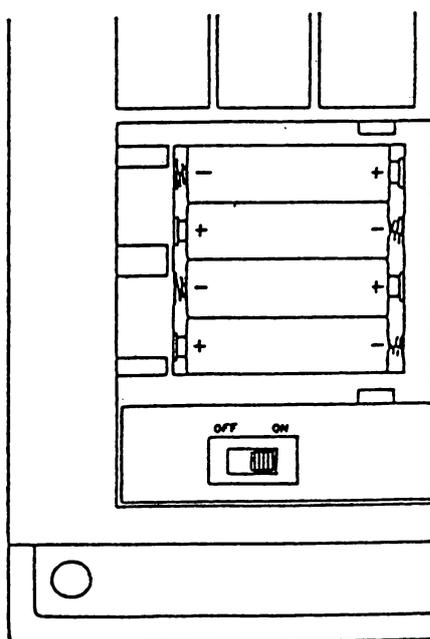


Fig. 5-6 Installazione batterie

Se ci fosse una riduzione della capacità delle batterie operative, l'accensione dell'indicatore di bassa potenza segnalerà l'inconveniente. In tal caso, pur potendo la macchina funzionare ancora per 20 minuti, sarà bene sostituire le batterie.

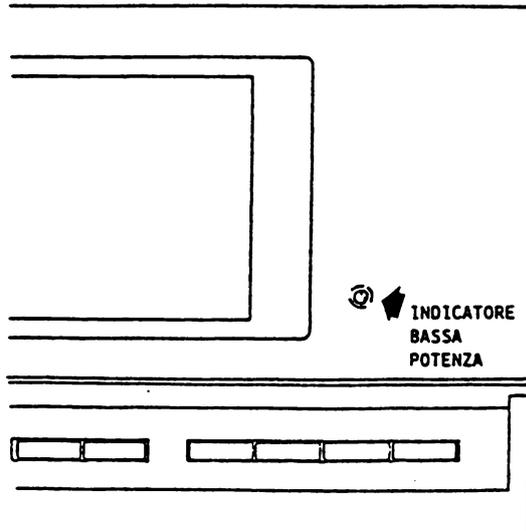


Fig. 5-7 Indicatore di bassa potenza

5.4 INSTALLAZIONE DELL'M10

- Aprire la scatola ed estrarre l'M10.
- Installare le quattro batterie AM-3 o connettere l'adattatore c.a..
- Commutare l'interruttore di back-up in posizione ON. Infatti se tale interruttore fosse in posizione OFF, l'M10 non funzionerebbe, anche se correttamente alimentato.
Per il sostentamento della RAM e' utilizzata una batteria Ni-Cd.
- Commutare l'interruttore generale di sistema in posizione ON.
- Il display visualizzera' il menu riportato in figura 5-8.
L'angolo di visualizzazione viene regolato orientando opportunamente il display; il contrasto viene invece regolato ruotando la apposita manopola.

```

-----
:Jan 01, 1900   Sun   00:00:00           (C) MICROSOFT           :
:                                                       :
: BASIC        TEXT           TELCOM        ADDRSS           :
: SCHEDL       -.            -.            -.            -.      :
: -.           -.            -.            -.            -.      :
: -.           -.            -.            -.            -.      :
:                                                       :
: SELECT : _                               21446 bytes free :
-----

```

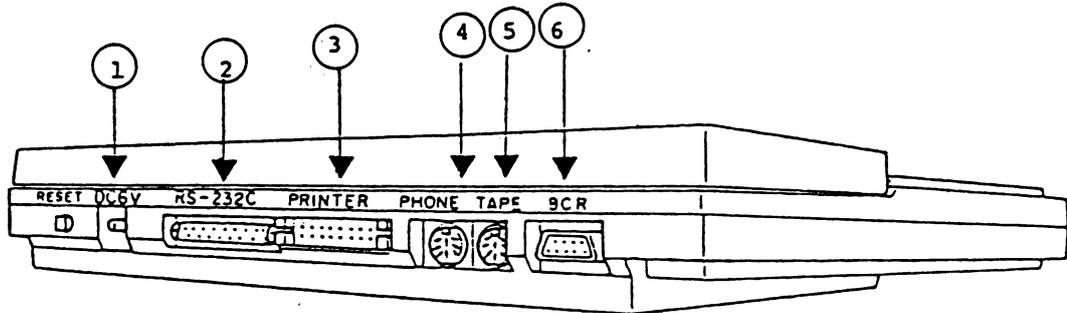
Fig. 5-8 Menu del display

5.5 COLLEGAMENTO DELLE PERIFERICHE

Quando si collegano delle periferiche (stampante, registratore a cassetta, ecc.), assicurarsi che l'interruttore generale di alimentazione sia in posizione OFF prima di procedere al loro collegamento.

Collegare i cavi delle periferiche alle prese situate nella parte posteriore dell'M10.

Collegare tutti i cavi direttamente all'M10, evitando di farli passare sotto la carrozzeria.



1. Presa alimentazione c.c. a 6V
2. Connettore RS-232C
3. Connettore per stampante
4. Connettore interfaccia modem
5. Connettore interfaccia registratore a cassetta
6. Connettore per Bar Code Reader

Fig. 5-9 Connettori dell'M10

5.5.1 ADATTATORE PER CORRENTE ALTERNATA

L'M10 può funzionare sia a batterie, sia con alimentazione alternata. Dopo aver inserito l'adattatore nella presa c.a., inserire la spina 6 Vcc dell'adattatore (con negativo centrale), alla relativa presa dell'M10. Prima di collegare l'adattatore all'M10, mettere in posizione OFF tutti gli interruttori della macchina e delle eventuali periferiche collegate. Quando si commutano gli interruttori in posizione ON, attivare per primo l'interruttore di alimentazione dell'M10, poi quelli delle periferiche.

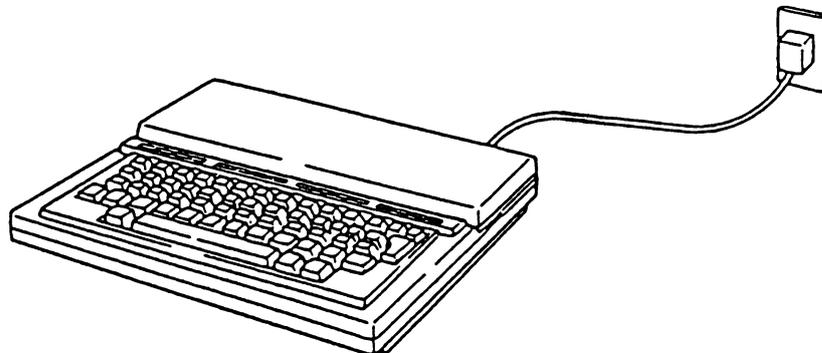
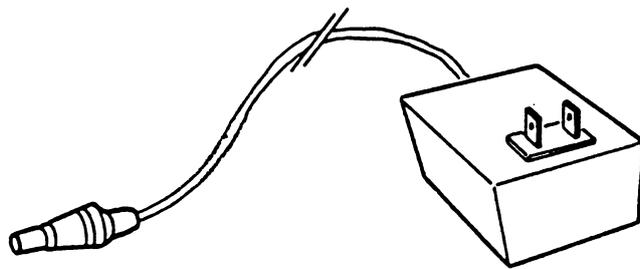
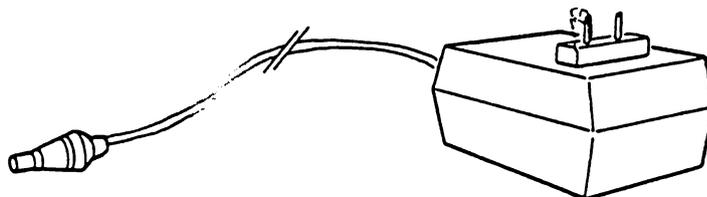


Fig. 5-10 M10 Collegato alla Rete

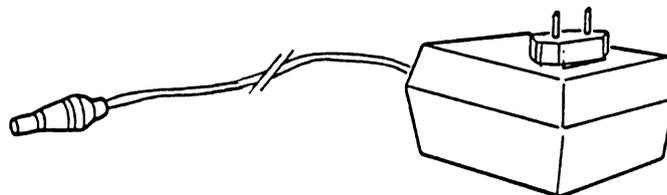
- USA



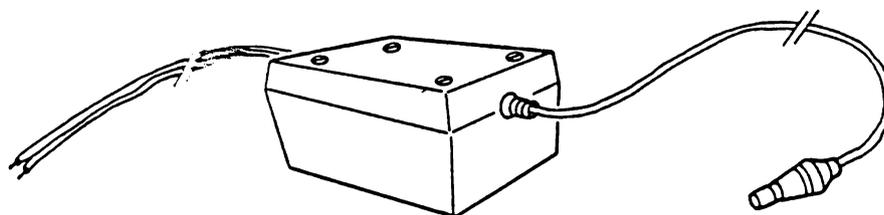
- EUROPA



- FRANCIA



- GRAN BRETAGNA



- AUSTRALIA

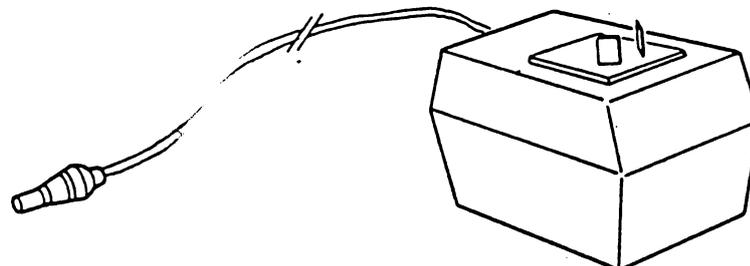


Fig. 5-11 Tipi di Adattatore

5.5.2 RS-232C

L'M10 e' dotato di un connettore RS-232C. Esso consente la trasmissione seriale dei dati. L'utente puo' perciò usare l'M10 come terminale, collegandolo ad un grande computer, o usarlo come "word processor", collegandolo ad una macchina per scrivere.

L'interfaccia RS-232C e' conforme allo standard EIA.

Usando un cavo speciale (opzionale) e' possibile collegare tra loro due M10, (vedi figura 5-12).

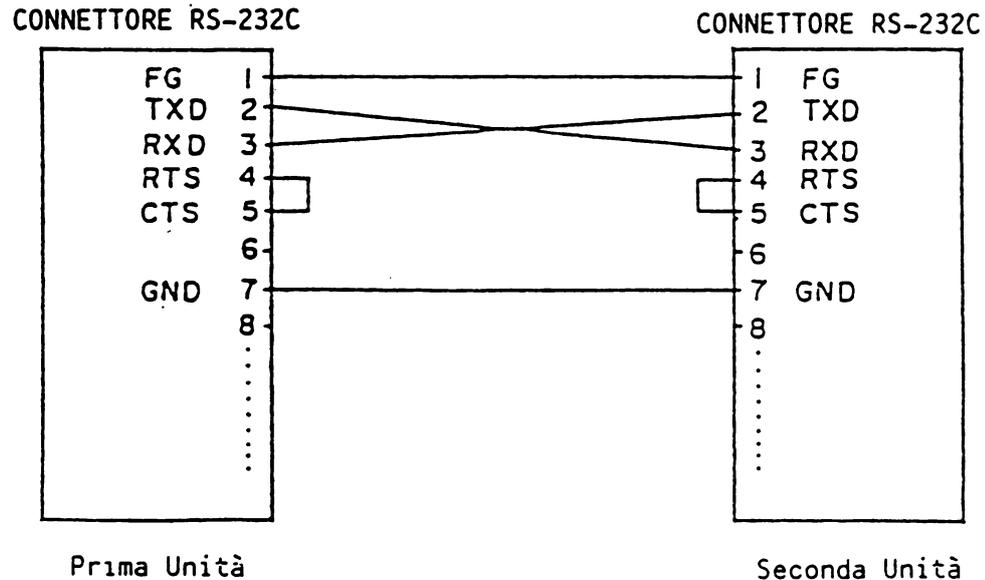


Fig. 5-12 Cablaggio per l'Interconnessione di due M10

N.B.: Per usare due M10 e' necessario mettere in cortocircuito RTS e CTS, oppure CTS e GND.

5.5.3 STAMPANTE

L'M10 e' dotato di interfaccia Centronics da usare per il collegamento di una stampante.

Per collegare la stampante all'M10, usare il cavo speciale (opzionale) dotato di connettori a 36 pin. Al momento di collegare la stampante, verificare che tutti i pin del connettore siano a posto.

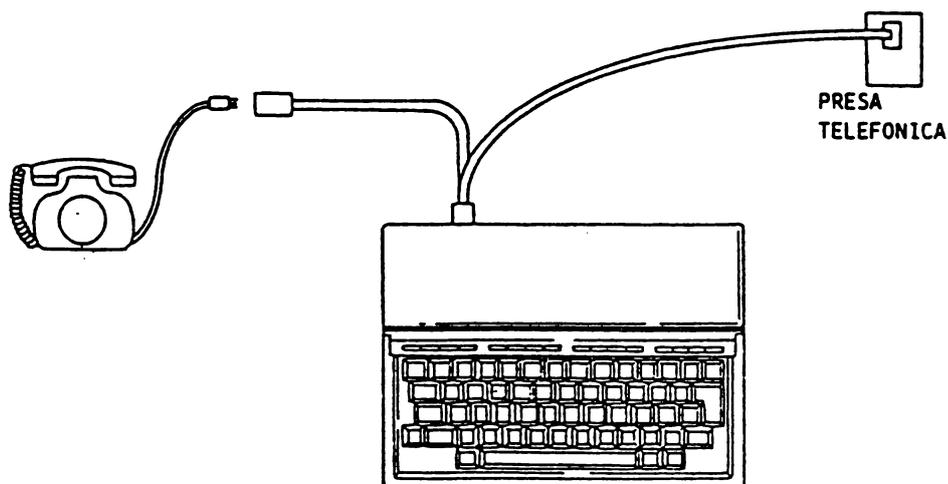


Fig. 5-14 Schema di Collegamento MODEM

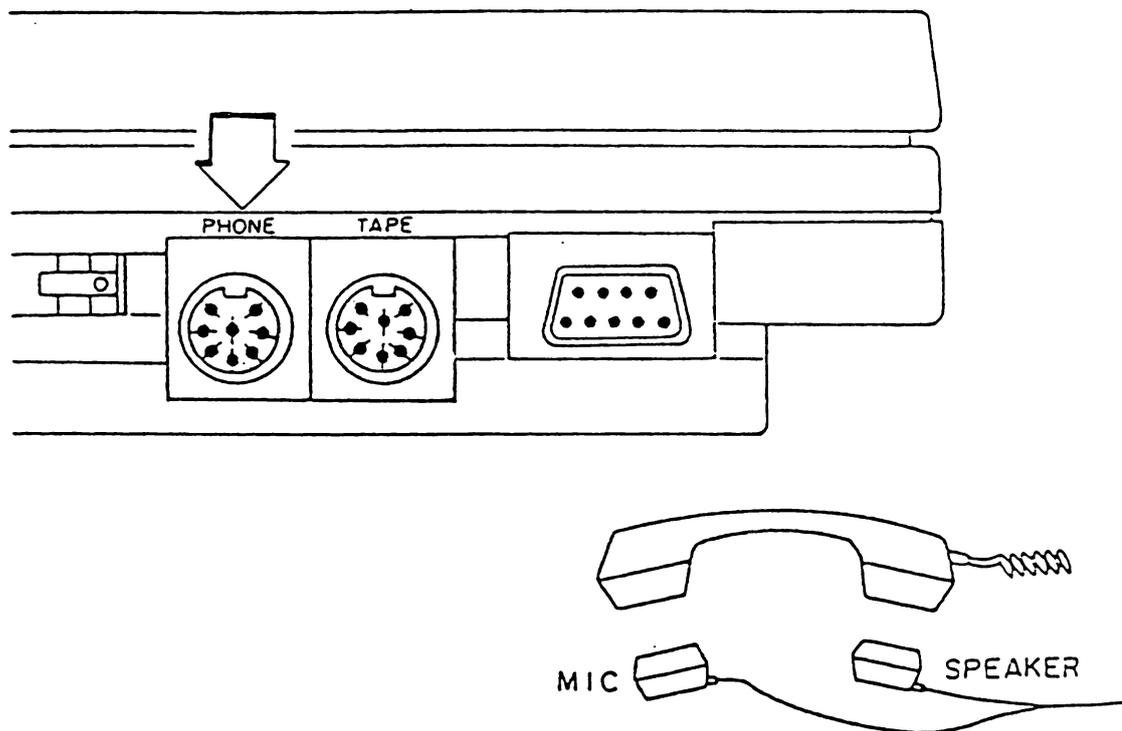


Fig. 5-15 Collegamento dell'Accoppiatore Acustico

5.5.5 COLLEGAMENTO DEL REGISTRATORE

Per essere collegabile all'M10, il registratore a cassette deve essere dotato delle prese "EAR", "MIC" e "REM" (auricolare, microfono e remoto), (vedi figura 5-16). Le prese "EAR" e "MIC" devono essere da 3,5 mm. La presa "REM" deve essere da 2.5 mm.

Verificare che l'M10 non sia mai alimentato prima di alimentare o sconnettere una periferica ad esso collegato.

Collegare il registratore all'M10 usando il cavo speciale fornito insieme all'M10. Questo cavo, dalla parte del computer, ha un connettore a 8 pin. All'altra estremita' ci sono tre spinotti da connettere alle prese "EAR", "MIC" e "REM" del registratore.

Eseguiti tutti i collegamenti, l'M10 puo' essere alimentato.

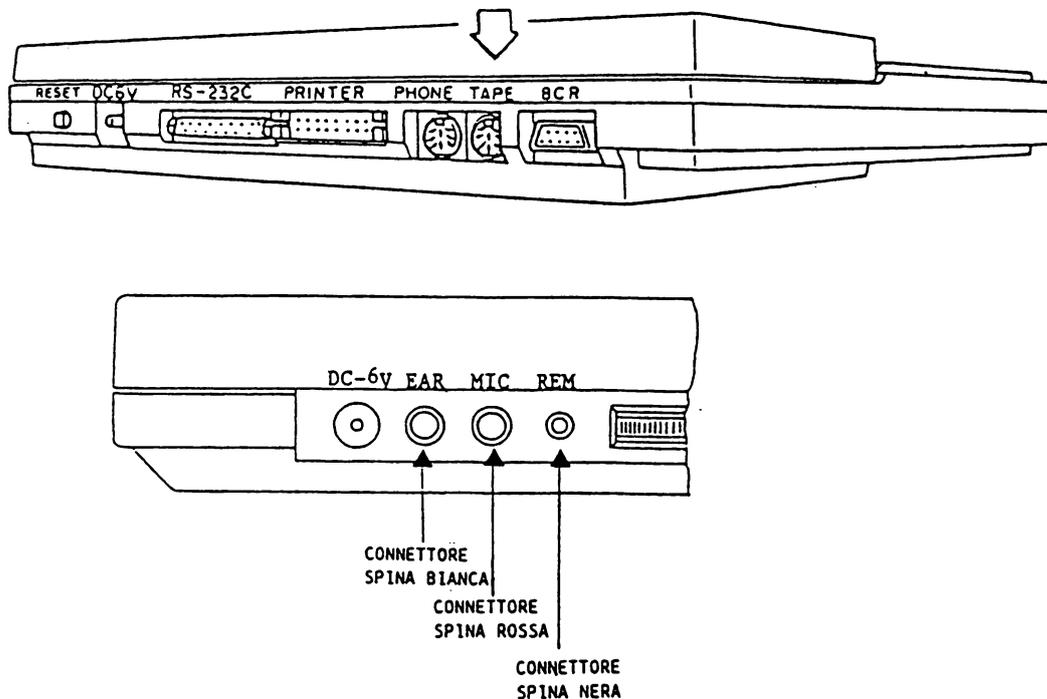


Fig. 5-16 Vista Posteriore dell'M10 e del Registratore

5.5.6 BAR CODE READER

L'M10 e' provvisto di un connettore per Bar Code Reader (BCR). Il BCR e' in grado di leggere un codice composto da linee sottili e linee spesse (vedi figura 5-17).

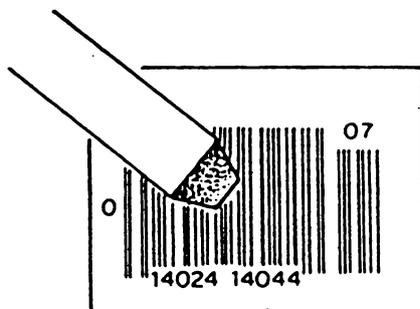


Fig. 5-17 Esempio di Codice per BCR

Collegare il connettore del BCR all'M10, come mostrato nella seguente figura.

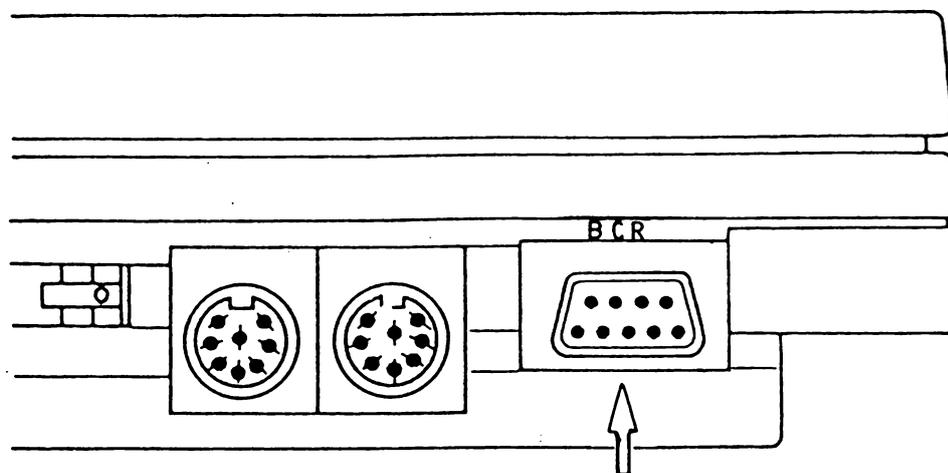
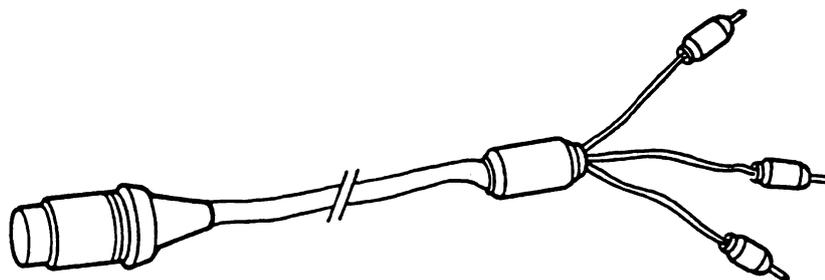
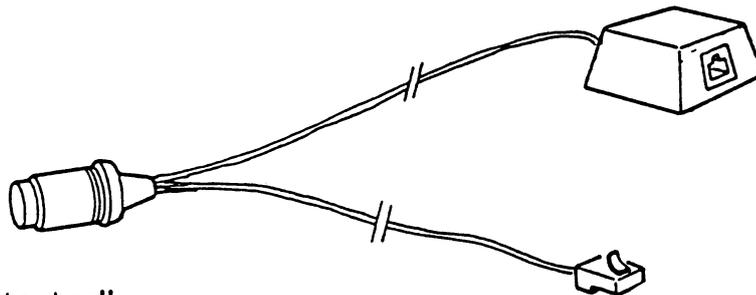


Fig. 5-18 Connettore per il BCR

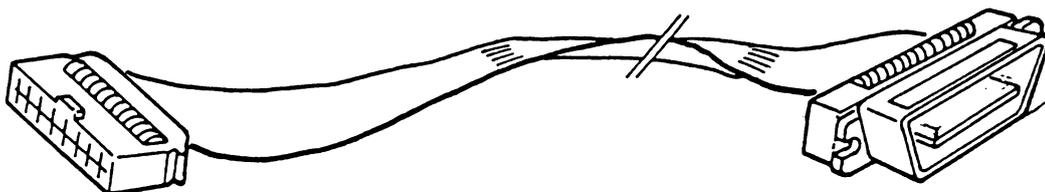
5.5.7 TIPI DI CAVI PER CONNETTORI



Per registratore a cassetta



Per "Ring Detector"

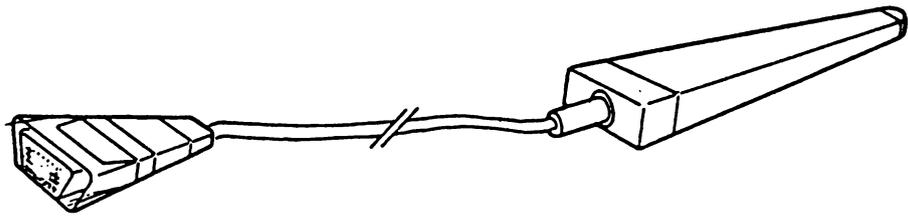


Per stampante

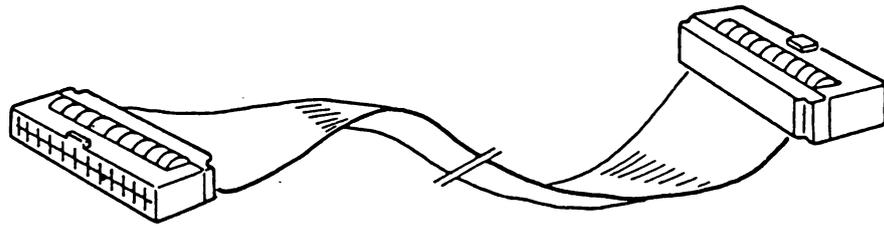


Per accoppiatore acustico

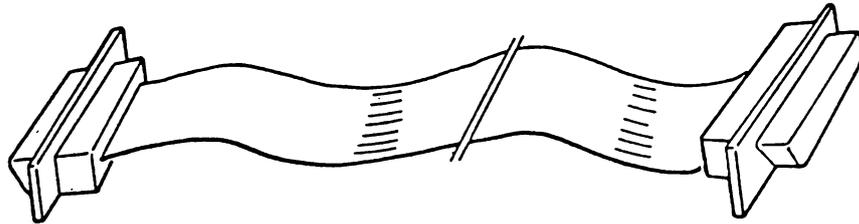
Fig. 5-19 Tipi di Cavo



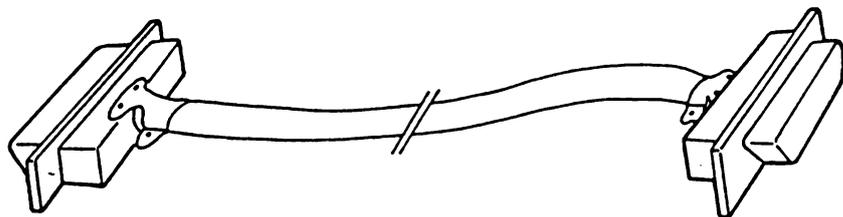
Per Bar Code Reader



Per Bus di sistema



Per M10 verso MODEM



Per M10 verso PR 1450

Fig. 5-20 Tipi di Cavo

5.6 INSTALLAZIONE DELLE RAM E DELLA ROM OPZIONALI

INSTALLAZIONE DELLE RAM OPZIONALI

Togliere la piastrina sotto il fondello del computer, facendola scivolare nella direzione indicata dalla freccia, come illustrato in figura 5-21. Inserire la prima RAM opzionale nello zoccolo M8, la seconda nello zoccolo M7 e la terza nello zoccolo M6.

Prima di inserire le RAM, verificare che tutti i piedini della RAM siano allineati correttamente sullo zoccolo.

INSTALLAZIONE DELLA ROM OPZIONALE

Togliere la piastrina che copre la zona riservata alla memoria addizionale (vedi figura 5-21), ed inserire la ROM opzionale nello zoccolo M11.

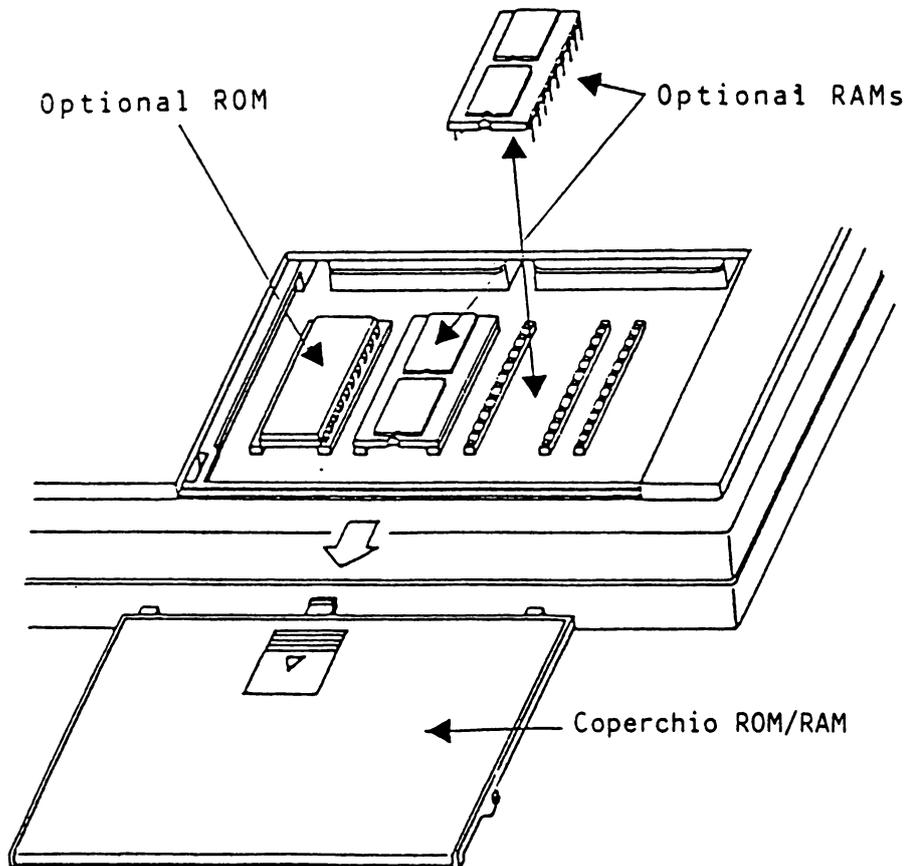


Fig. 5-21 Inserimento memoria opzionale

5.7 INSTALLAZIONE DELLA PONTICELLATURA (Versione Internazionale)

Estrarre la piastra a circuito stampato principale secondo le modalita' indicate nel paragrafo 2.1.

Eeguire le ponticellature come indicato in figura 5-22.

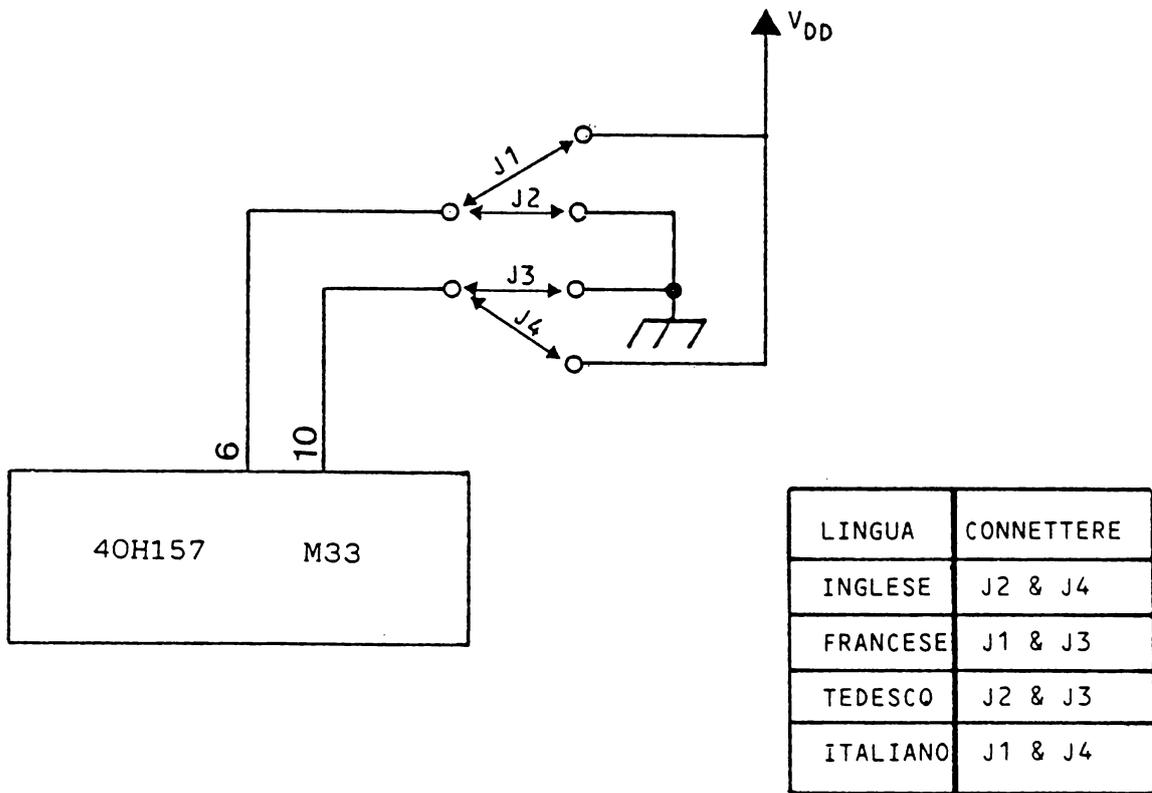


Fig. 5-22 Ponticellature per versioni nazionali

INDICE

RACCOLTA SCHEMI

VISTA COMPLESSIVA CIRCUITO STAMPATO N. 33201	Pag.	6.1
SCHEMA N. 33130	"	6.2
SCHEMA N. 33131	"	6.3
CIRCUITI INTEGRATI N. 33285	"	6.4
SCHEMA FUNZIONALE N. 33431	"	6.5
VISTA COMPLESSIVA CON PUNTI DI MISURA N. 33523	"	6.6

6. DESCRIZIONE DI FUNZIONAMENTO

6.1 DESCRIZIONE A BLOCCHI DEL SISTEMA

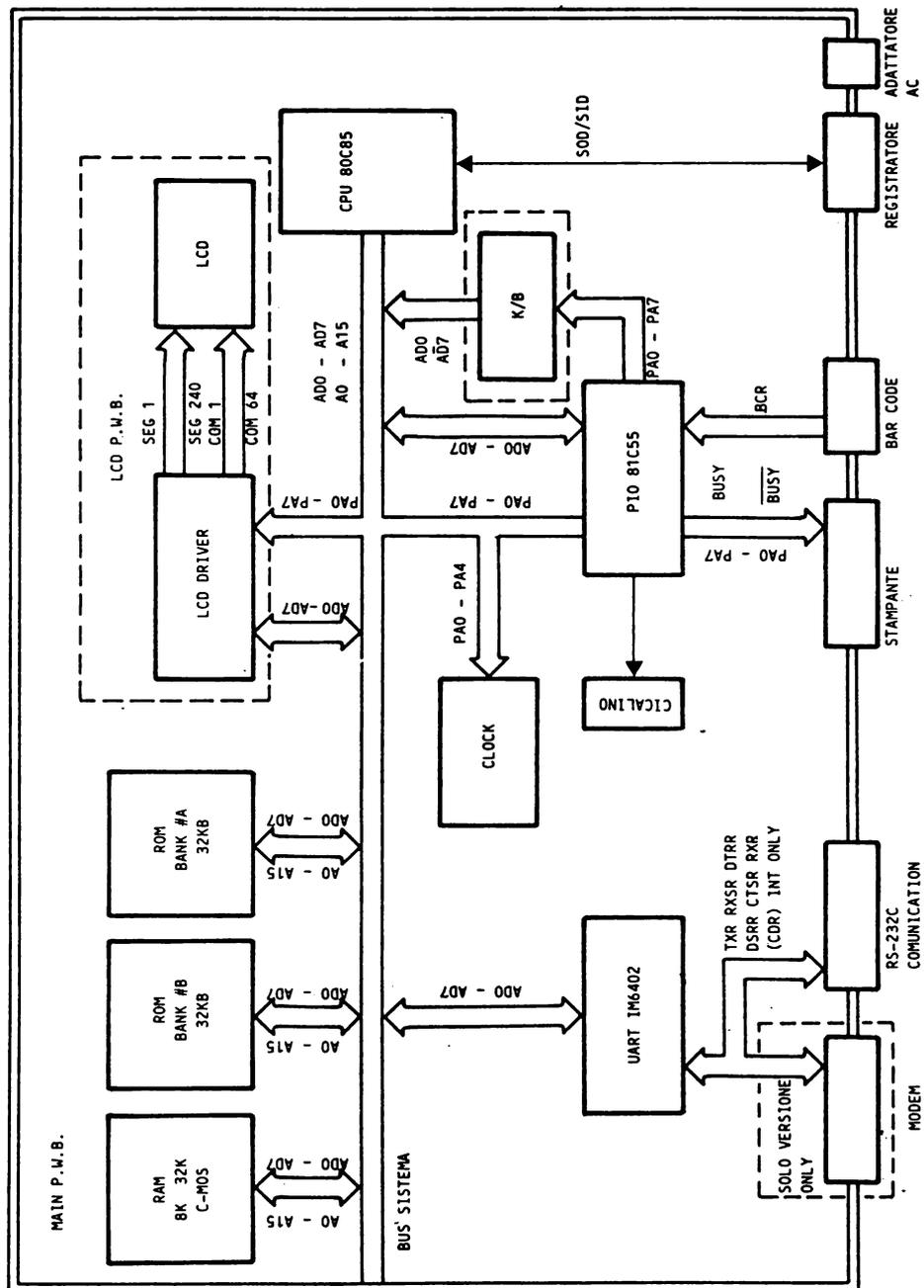


Fig. 6-1 Schema a Blocchi

6.2 DESCRIZIONE GENERALE

L'M10 consiste di una piastra principale a circuito stampato che include CPU, PIO, UART, ROM e RAM, di un'unita' video LCD e di una tastiera per l'ingresso dei dati.

I principali circuiti LSI montati sulla piastra sono i seguenti:

80C85 CPU

E' l'unita' centrale che controlla tutte le funzioni della piastra.

80C55 PIO

Controlla l'interfaccia input/output parallela che gestisce la stampante parallela, la tastiera, il cicalino, il clock e l'LCD.

IM6402 UART

E' il ricevitore/trasmittitore universale asincrono che controlla l'interfaccia seriale come l'RS-232C o il MODEM (solo versione USA). L'input/output per il registratore a cassetta e' controllato direttamente dalla CPU tramite i terminali SOD e SID.

Sia le memorie ROM e RAM che i circuiti LSI, sono tutti collegati al bus di sistema. In alternativa alla ROM standard e' disponibile una ROM opzionale.

La descrizione tecnica dell'M10 viene suddivisa nelle seguenti parti:

- CPU
- Memoria
- Decodifica di indirizzi e selezione dei banchi
- Mappa di memoria
- Descrizione della mappa e della porta di I/O
- Tastiera
- Circuito di interfaccia per registratore
- Circuito di interfaccia per stampante
- Circuito di interfaccia per Bar Code Reader
- Circuito di controllo del cicalino
- Bus di sistema
- Circuito di interfaccia dell'LCD

- Circuito di controllo del CLOCK
- Interfaccia seriale
- Pannello LCD
- Circuito di controllo dell'LCD
- Forme d'onda dell'LCD
- Alimentatore e circuito di spegnimento automatico
- Circuito di RESET

NOTA BENE: Nelle figure di questo capitolo, la linea continua significa che e' attivo il livello alto, mentre la linea tratteggiata significa che e' attivo il livello basso.

6.3 CPU (MSM80C85ARS)

Microprocessore CMOS ad 8 bit, 1 chip.

L'MSM80C85ARS e' un microprocessore con parallelismo a 8 bit. Il suo set di istruzioni e' completamente compatibile, dal punto di vista software, con il microprocessore 8080A e di esso ne incrementa le prestazioni, essendo l'80C85 piu' veloce.

L'80C85 usa un bus dati multiplexato. Il bus di CPU e' diviso in due sezioni: la prima e' un bus indirizzi ad 8 bit, l'altra e' un bus indirizzi e dati a 8 bit. Il bus dati ed il bus indirizzi sono separati da M1 (TC40H373P: un latch ottale tipo D).

Le prestazioni del bus vengono incrementate da M2 (TC40H245P: buffer di bus bidirezionale ottale) e da M21 (TC40H244P: buffer/driver ottale).

6.4 MEMORIA

La memoria dell'M10 consiste di una ROM da 32 KB e da una RAM di capacita' massima 32 KB (un banco standard da 8 KB piu' incrementi di 8 KB ciascuno); e' inoltre disponibile un banco di ROM da 32 KB, opzionale.

6.4.1 RAM (Random Access Memory)

L'M10 ha un package standard di RAM che consiste di 4 RAM di 2 KB (ciascuna 2048 x 8 bit), montate su un supporto ceramico, per un totale di 8 KB (8192 x 8 bit).

La RAM standard e' montata in M9, mentre gli incrementi di RAM vengono montati in M6, M7 ed M8.

Il diagramma di connessione delle RAM e' mostrato in figura 6-2.

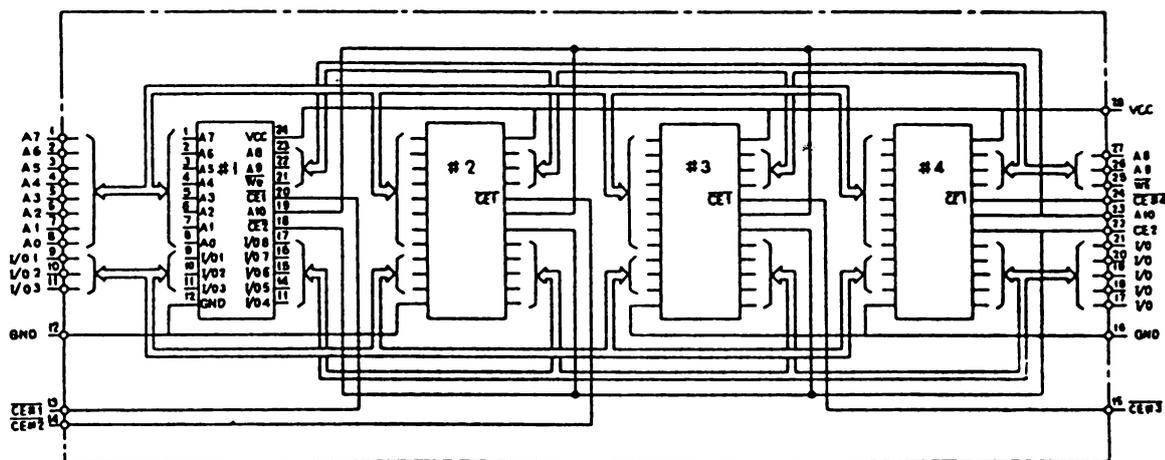


Fig. 6-2 Memoria Opzionale

6.4.2 ROM (Read Only Memory)

L'M10 utilizza una ROM sincrona da 32 KB (256 Kbit), alimentata a +5 V e con tempo di accesso di 600 nsec (massimo).

Il segnale ALE (Address Latch Enable) viene utilizzato come segnale sincrono per la CPU.

Nella ROM standard e' memorizzato il programma BASIC. Inoltre, nella ROM standard e' immagazzinato il programma BIOS per il funzionamento dell'LCD, della stampante, ecc.

La ROM opzionale viene montata sullo zoccolo della piastra base, rimuovendo la piastrina di copertura della ROM/RAM posta alla base della carrozzeria dell'M10.

Vari tipi di programmi applicativi possono essere memorizzati nella ROM opzionale.

6.5 DECODIFICA DI INDIRIZZO E SELEZIONE DEI BANCHI

6.5.1 DECODIFICA DI INDIRIZZO PER LA SELEZIONE DEI CHIP DI RAM

Anche se l'M10 monta quattro package di RAM a 8 KB, sono tuttavia necessari 16 segnali di chip select poiche' in realta' la memoria e' vista come 16 RAM da 2 KB. Inoltre, dato che l'area della RAM e' indirizzata da 8000H a FFFFH (vedere la mappa della memoria), i segnali di controllo sono IO/M, A14 e A15, mentre i 16 segnali di chip select sono ottenuti tramite A13, A12 e A11.

L'integrato M5 (TC40H139: dual 2 to 4 line decoder/multiplexer) e' usato per ottenere il segnale di controllo mentre gli integrati M3 ed M4 (TC40H138: 3 to 8 line decoder/demultiplexer) sono utilizzati per ottenere i 16 segnali di chip select.

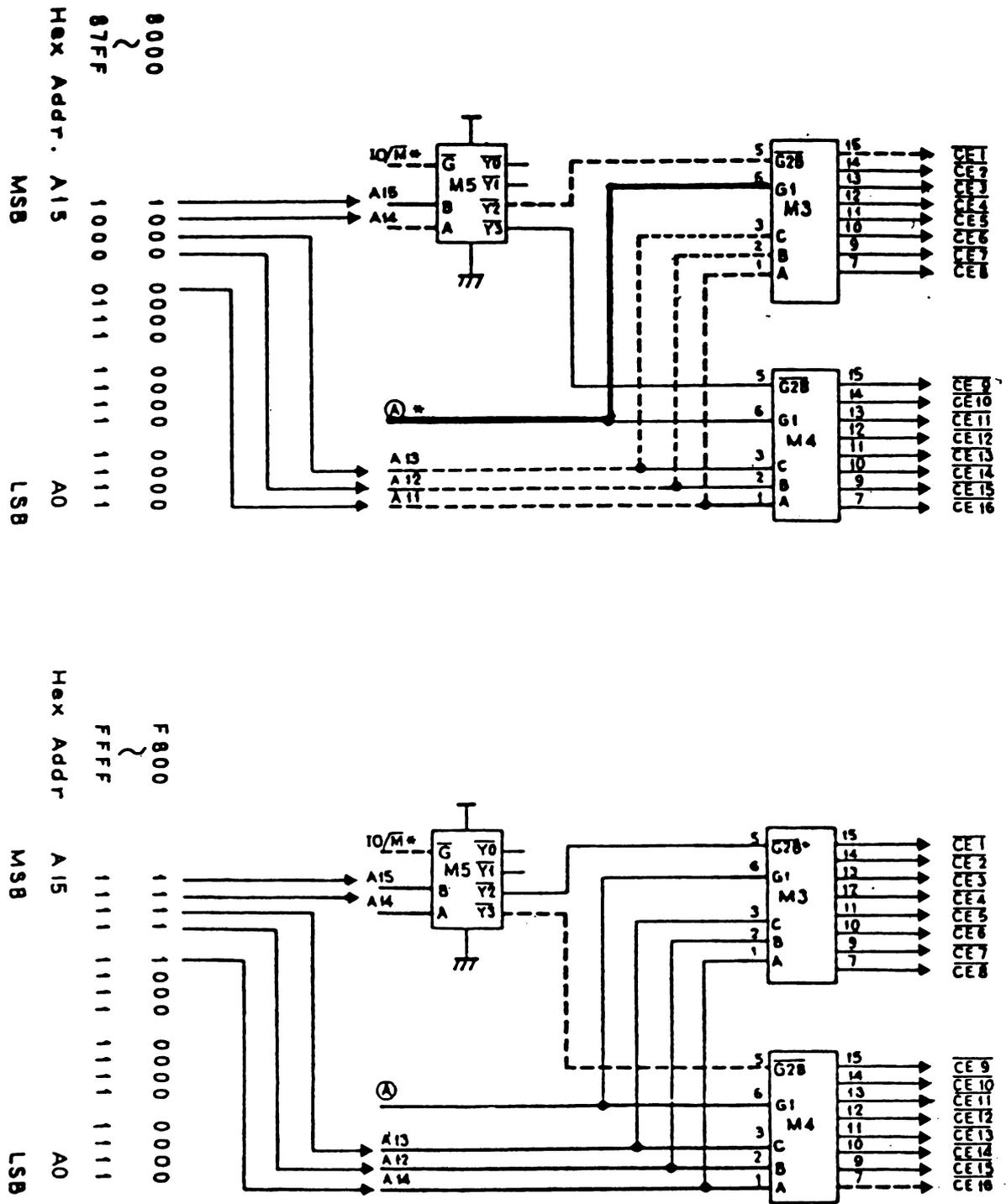


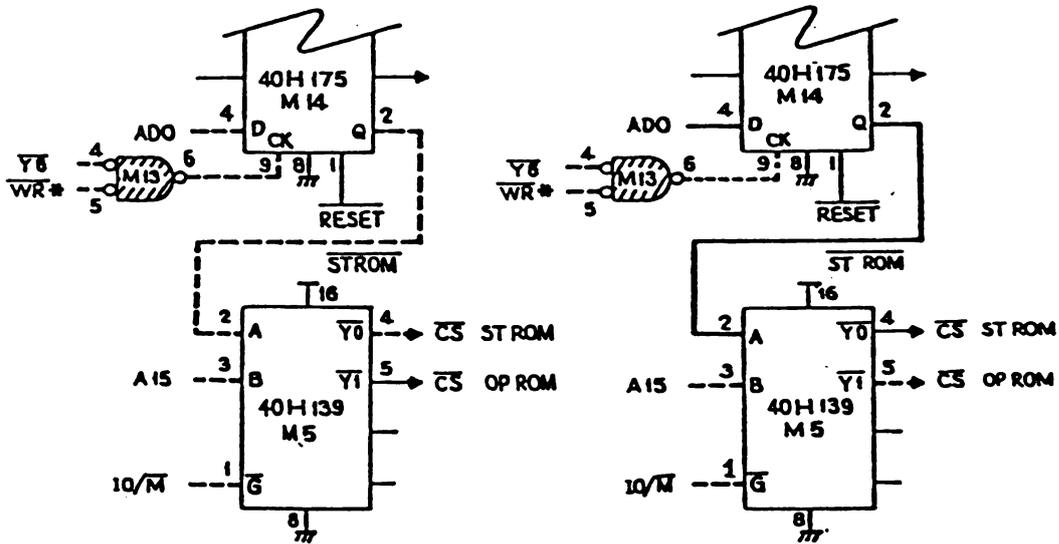
Fig. 6-3 Decodifica Indirizzi di RAM (chip 1 e chip 16)

6.5.2 SELEZIONE CHIP DI ROM

Le ROM usate sull'M10, (sia la standard che l'opzionale), sono costituite da un unico chip di 32 KB. Come si puo' vedere dalla mappa di memoria (fig. 6-5), la zona di indirizzamento e' posizionata da 0000H a FFFFH. I segnali di chip select sono generati tramite A15 e STROM.

Come e' mostrato in figura 6-4, ADO viene memorizzato da M14 (TC40H175: quad "D" type Flip/Flop) usando i segnali WR ed Y6 ed ottenendo cosi' il segnale STROM; (cfr. la descrizione della porta di I/O). Il segnale di chip select di ciascuna ROM viene abilitato dal segnale IO/M, tramite l'integrato M5 (TC40H139).

La ROM standard viene selezionata dal segnale $\overline{\text{STROM}}$ a livello logico basso e la ROM opzionale dal segnale $\overline{\text{STROM}}$ a livello logico alto.



Selezione della ROM standard

Selezione della ROM opzionale

Nota Bene: ----- Linea attiva a livello basso
 _____ Linea attiva a livello alto

Fig. 6-4 Selezione della ROM Standard o Opzionale

6.6 MAPPA DELLA MEMORIA

Nella figura che segue e' rappresentata la mappa di memoria con gli indirizzi assegnati ai vari chip di RAM e di ROM.

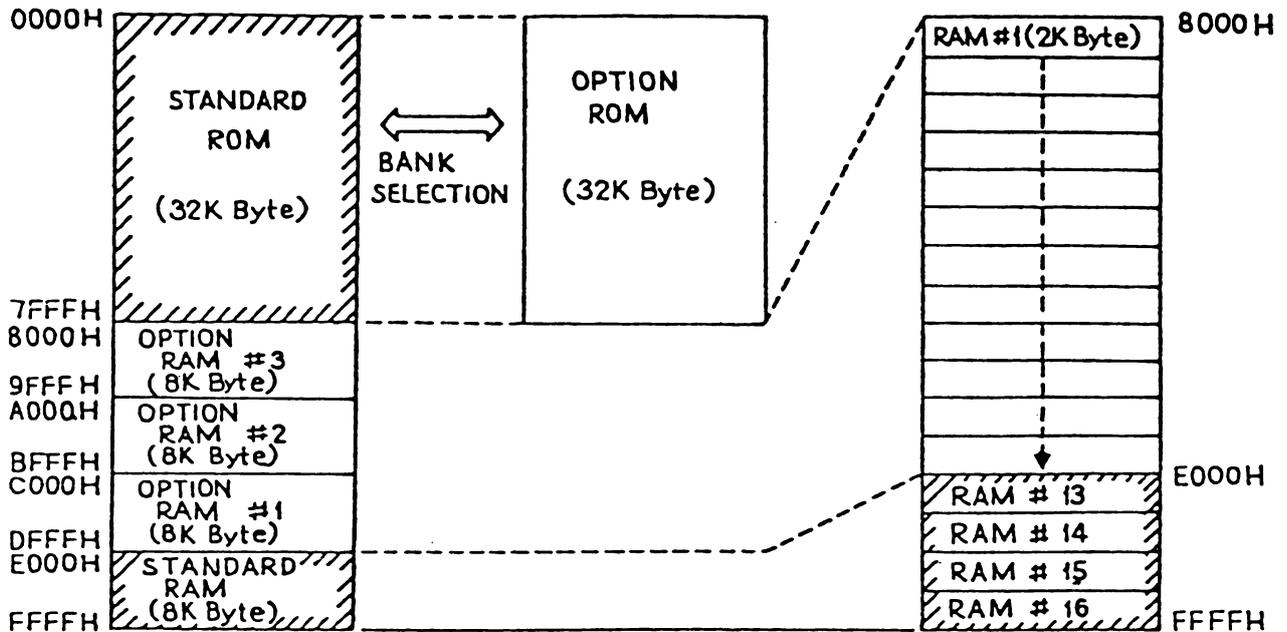


Fig. 6-5 Mappa di Memoria

L'indirizzamento della RAM addizionale comincia dall'indirizzo piu' alto.

6.7 DESCRIZIONE DELLA MAPPA E DELLA PORTA DI I/O

Come si vede in figura 6-6, il circuito di decodifica di I/O (M16 40H138) decodifica il segnale di ingresso da A12 a A15 e genera i segnali di controllo da Y0 a Y6 e Y7.

Poiche' il segnale Y7 di selezione del driver dell'LCD e' attivo alto (H), l'uscita dell'integrato M16 (40H138) viene invertita tramite M17 (40H000).

In tabella 6-1 sono elencati i segnali di selezione (da $\overline{Y0}$ a $\overline{Y6}$ e $\overline{Y7}$) del dispositivo I/O e dell'indirizzo di I/O.

INDIRIZZO	NOME	LIVELLO	APPLICAZIONE
:	:	ATTIVO	:
70H-7FH	----	----	Area libera per il file di RAM, (opzionale) e altri segnali di selezione dei circuiti.
80H-8FH	$\overline{Y0}$	BASSO	Segnale di selezione del dispositivo per la unita' di governo opzionale di I/O
90H-9FH	$\overline{Y1}$	"	Segnale di selezione del dispositivo per la unita' opzionale di risposta telefonica
A0H-AFH	$\overline{Y2}$	"	Bit 0: per il segnale ON/OFF del rele della unita' telefonica Bit 1: usato nella generazione del segnale di abilitazione del componente LSI (MC14412) per il MODEM
B0H-BFH	$\overline{Y3}$	"	Segnale di chip select del PIO (81C55)
COH-CFH	$\overline{Y4}$	"	Segnale di abilitazione per la porta dati I/O dell'UART (IM6402)
DOH-DFH	$\overline{Y5}$	"	Segnale di abilitazione per predisporre i vari stati e per leggere la porta dell'UART
EOH-EFH	$\overline{Y6}$	"	Segnale di abilitazione per \overline{STROM} e \overline{REMOTE} , e ingresso dati della tastiera. Inoltre e' segnale di strobe per la stampante e clock
FOH-FFH	Y7	ALTO	Segnale di abilitazione per i circuiti LSI di pilotaggio dell'LCD

TABELLA 6-1

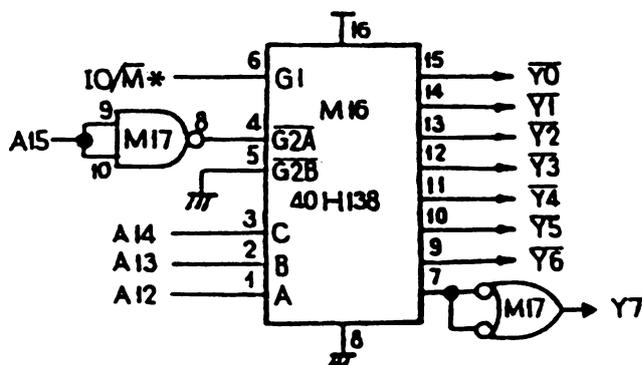


Fig. 6-6 Circuito di Decodifica

Gli indirizzi I/O di ogni porta del PIO (81C55) sono elencati nella tabella 6-2.

INDIRIZZO	:	PORTA
B0H o B8H	:	Comando/Stato (interno)
B1H o B9H	:	Porta A
B2H o BAH	:	Porta B
B3H o BBH	:	Porta C
B4H o BCH	:	Timer (byte inferiore)
B5H o BDH	:	Timer (byte superiore)
B6H, B7H, B8H e B9H	:	Non usato

TABELLA 6-2

6.8 TASTIERA

I segnali strobe dei tasti sono emessi da PBO e da PA0 fino a PA7 del 81C55; i segnali di ritorno dalla tastiera raggiungono la CPU passando attraverso il buffer del bus (IC 40H244).

L'indirizzo I/O della porta di ingresso dei dati e' al momento E0H-EFH. La matrice della tastiera e' mostrata in figura 6-7.

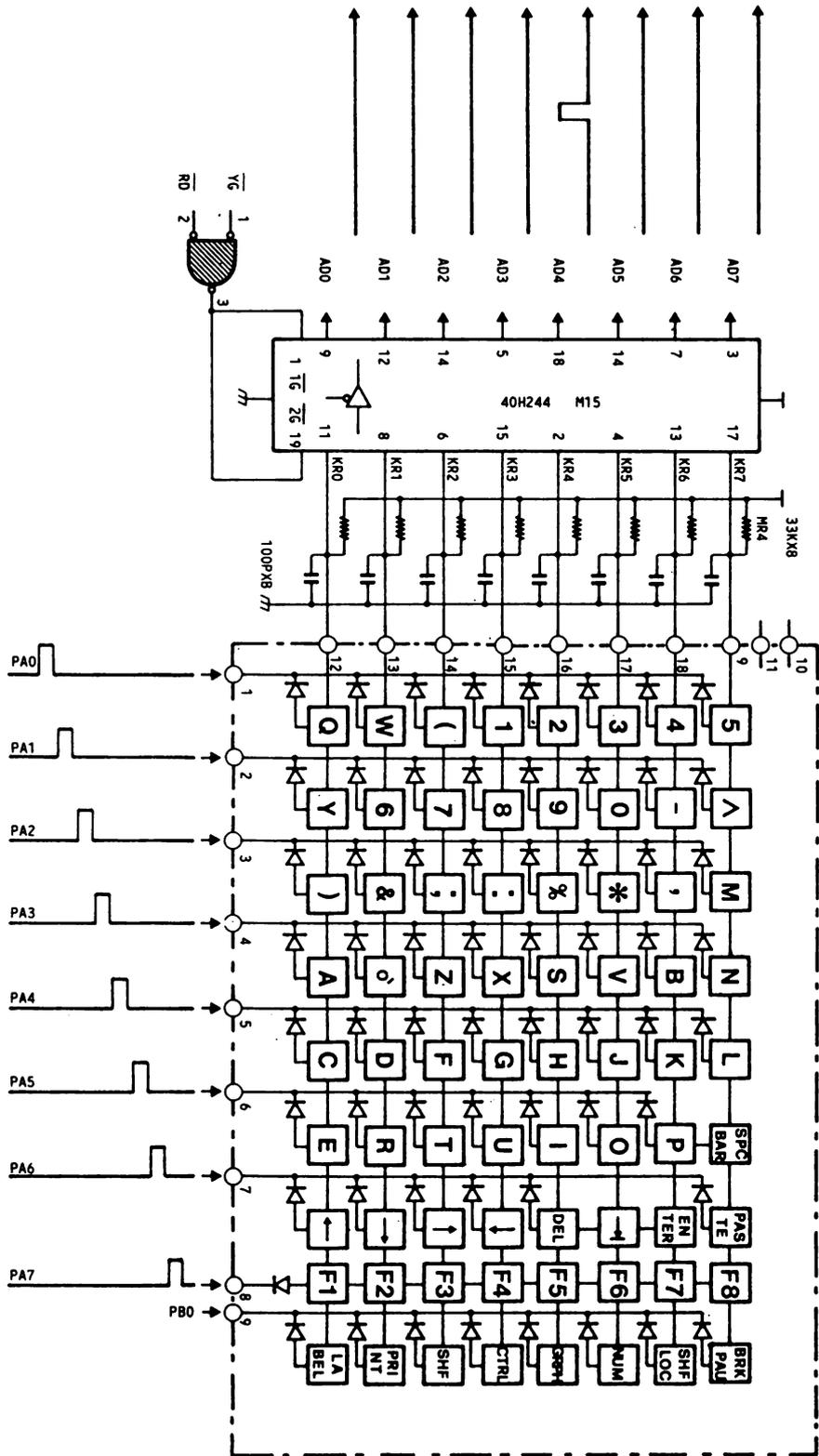


Fig. 6-7 Matrice della tastiera

6.9 INTERFACCIA DEL REGISTRATORE A CASSETTE

La circuiteria dell'interfaccia del registratore a cassette e' divisa in tre sezioni: la prima serve per la modulazione dei dati sul segnale di registrazione; la seconda, di demodulazione, serve per convertire il segnale di play back con i dati e la terza, remote, controlla il motore del registratore.

6.9.1 SEZIONE DI MODULAZIONE

I dati seriali forniti dal terminale SOD della CPU sono invertiti dal componente M34 (il condensatore C63 taglia le componenti continue), quindi passano attraverso l'integratore R51-C64; il segnale cosi' ottenuto, tramite il partitore R54-R55, viene ridotto al giusto livello di ingresso del terminale MIC (vedi figura 6-8).

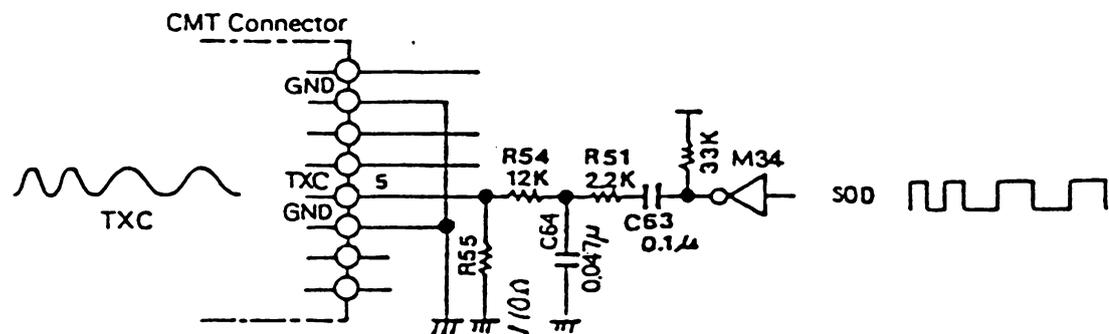


Fig. 6-8 Circuito di Modulazione

6.9.2 SEZIONE DI DEMODULAZIONE

Il segnale presente alla presa dell'auricolare del registratore, attraversato il circuito traslatore D5-D6, raggiunge il circuito comparatore e lo "Schmitt trigger", divenendo cosi' il segnale inviato al terminale SID della CPU. Il circuito comparatore e' realizzato tramite l'amplificatore operazionale M30, mentre M34 realizza la funzione di Schmitt trigger. D7 serve a tagliere la tensione negativa del comparatore (vedi figura 6-9).

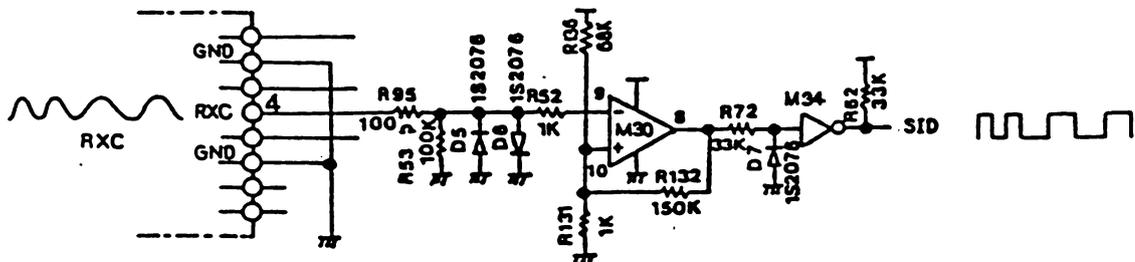


Fig. 6-9 Circuito di Demodulazione

6.9.3 SEZIONE REMOTE

Il segnale d'uscita REMOTE viene commutato a livello basso introducendo il dato "1" nell' terzo bit della porta d'uscita (40H175:M14), specificato dall'indirizzo di I/O E0H-EFH; di conseguenza, il transistor T6 conduce, permettendo così al rele' RY1 di eccitarsi: in tal modo il registratore a cassette entra in funzione (vedi figura 6-10).

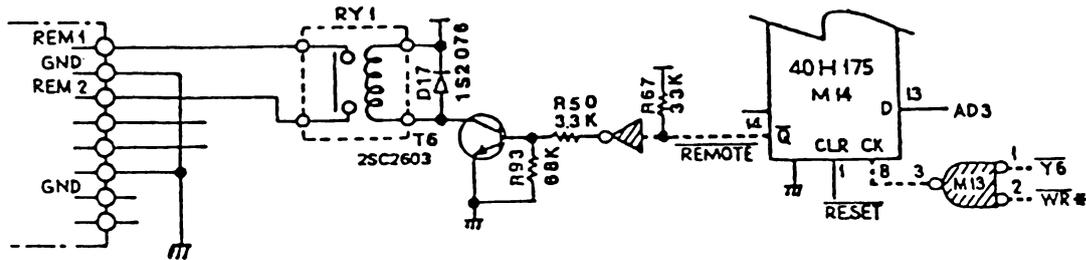


Fig. 6-10 Circuito REMOTE

6.10 INTERFACCIA BAR CODE READER

Il segnale di lettura del Bar Code Reader raggiunge il terminale PC3 dell'81C55 e RST 5.5 dell'80C85.

Quando il Bar Code Reader legge la prima parte bianca codice, invia un segnale di livello basso che viene invertito da M34; ora, appena interviene l'interruzione RST 5.5, inizia l'ingresso dei dati. Poi, quando il Bar Code Reader comincia a muoversi sul codice, segnali alti (che corrispondono a linee bianche di codice) e segnali bassi (che corrispondono a linee nere del codice), sono generati con continuita' ed inviati al PC3 dell'81C55 come dati seriali (vedi figura 6-11).

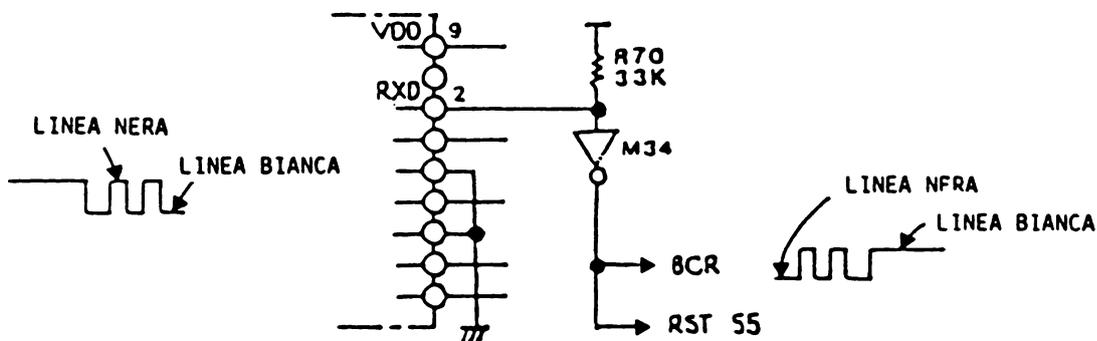


Fig. 6-11 Circuito Interfaccia Bar Code Reader

6.11 INTERFACCIA STAMPANTE

Il circuito di interfaccia della stampante e' conforme allo standard Centronics.

Come e' mostrato in figura 6-12, il segnale "BUSY" della stampante viene inviato al PC2 dell'81C55. Se la condizione e' "NOT BUSY" (PC2 a livello basso), i dati a 8 bit (PA0-PA7) dell'81C55 sono inviati alla stampante; poi, introducendo il dato "1" nel bit 1 della porta di uscita (40H175:M14), specificato dall'indirizzo di I/O E0H-EFH, il T8 conduce e un segnale di STROBE a livello basso viene inviato alla stampante.

Quando la stampante riceve il segnale STROBE, il segnale BUSY va a livello alto, indicando in tal modo che la stampante e' occupata. La CPU, allora, attende finche' il segnale BUSY ritorna al livello "L". Quando il segnale BUSY ritorna a livello basso, la CPU interrompe l'uscita dei dati di PA0-PA7 dell'81C55, e l'uscita del primo byte dei dati da stampare e' completata.

Se la stampante e' in condizione ON-LINE, il segnale SLCT e' a livello alto; e' a livello basso se la stampante e' in condizione OFF-LINE, cosi' da interdire la trasmissione dei dati alla stampante.

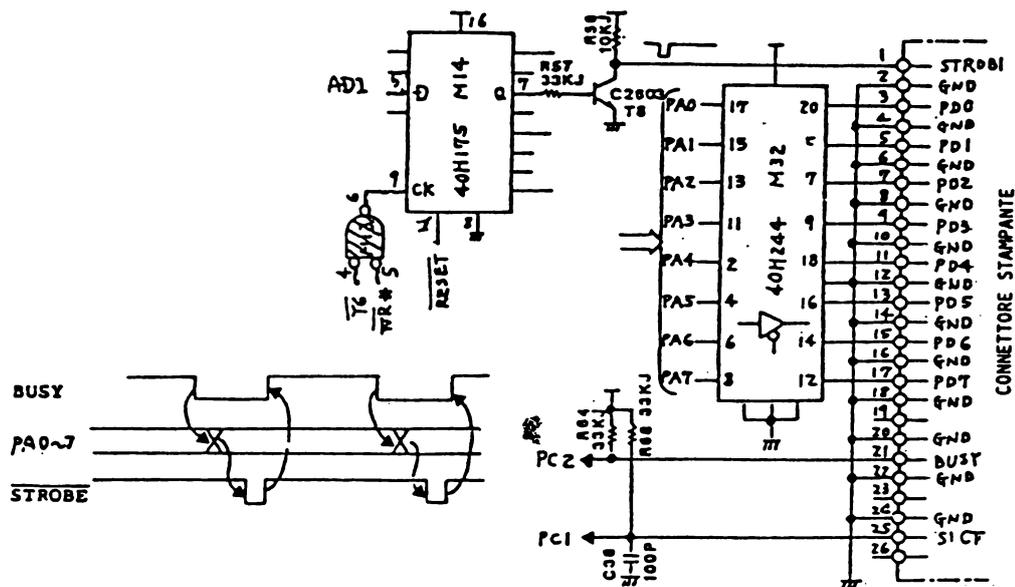


Fig. 6-12 Circuito Interfaccia Stampante

6.12 CIRCUITO DI CONTROLLO DEL CICALINO

Esistono due modi con i quali si puo' far emettere un segnale acustico dal circuito di controllo del cicalino.

Nel primo caso si emette un segnale dal PB5 dell'81C55 o una frequenza tale che faccia suonare il cicalino; nel secondo caso si usa l'uscita del timer dell'81C55.

Segnale del PB5 dell'81C55

Quando il PB2 dell'81C55 e' a livello alto (vedi figura 6-13), il cicalino suona in seguito alla commutazione OFF/ON del suo transistor di pilotaggio. La frequenza con cui si alternano i livelli alto e basso del segnale PB5 sara' la medesima del suono del cicalino.

Uso dell'uscita del timer dell'81C55

Dopo aver predisposto il segnale di uscita del timer 81C55 nel modo "square wave", se il segnale PB5 e' a livello alto, PB2 e' a livello basso; cio' consentira' al segnale ad onda quadra in uscita dal terminale T0 dell'81C55 di raggiungere la base del transistor di pilotaggio del cicalino: quest'ultimo suonera' ad una frequenza pari a quella dell'onda quadra.

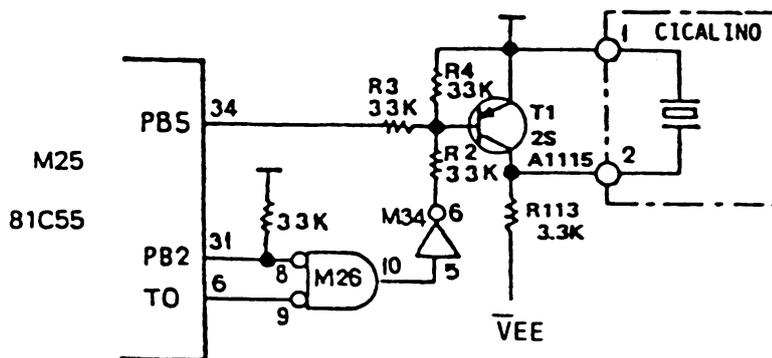


Fig. 6-13 Circuito del Cicalino

6.13 BUS DI SISTEMA

Per poter utilizzare dispositivi esterni all'M10, il suo bus di sistema a 40 vie e' dotato di un connettore a 40 pin.

Come mostrato in tabella 6-3, il bus indirizzi, il bus dati e il bus di controllo dell'80C85, possono tutti essere connessi come bus di sistema ad un dispositivo esterno. Inoltre, l'unita' di controllo I/O opzionale puo' essere collegata a questo bus di sistema.

NUMERO PIEDINO	INPUT o OUTPUT	SEGNALE	NUMERO PIEDINO	INPUT o OUTPUT	SEGNALE
1	----	VDD	21	----	GND
2	----	VDD	22	----	GND
3	----	GND	23	OUTPUT	WR*
4	----	GND	24	OUTPUT	RD*
5	I/O	AD1	25	OUTPUT	SO
6	I/O	AD0	26	OUTPUT	IO/M*
7	I/O	AD3	27	OUTPUT	S1
8	I/O	AD2	28	OUTPUT	ALE*
9	I/O	AD5	29	OUTPUT	YO
10	I/O	AD4	30	OUTPUT	CLK
11	I/O	AD7	31	OUTPUT	RESET*
12	I/O	AD6	32	OUTPUT	A*
13	OUTPUT	A9	33	OUTPUT	INTA
14	OUTPUT	A8	34	INPUT	INTR
15	OUTPUT	A11	35	----	GND
16	OUTPUT	A10	36	----	GND
17	OUTPUT	A13	37	----	NC
18	OUTPUT	A12	38	OUTPUT	RAM RST
19	OUTPUT	A15	39	----	NC
20	OUTPUT	A14	40	----	NC

NOTA: N.C. significa Non Connesso

TABELLA 6-3

Per alcuni segnali si precisa quanto segue:

- Segnale A* (pin 32) NAND dei segnali RD e WR
- Segnale RAM RST (pin 38) Segnale di abilitazione (RAM esterna)
- Segnale YO (pin 29) Segnale di selezione dell'unita' di governo I/O opzionale

La tabella seguente si riferisce ai segnali in continua del bus. I valori in essa riportati sono validi a temperatura normale, (Ta = 25°C) ed a tensione normale (VDD = 5.0 V).

VOCI	SO, S1, YO, CLK	SEGNALI DIVERSI DA QUELLI DI SINISTRA
Tensione di uscita a livello alto (VOH)	min. 2.4V (IOH = -400µA)	min. 4.95V (IOH = -1µA)
Tensione di uscita a livello basso (VOL)	max 0.45V (IOL = 1µA)	max 0.05V (IOL = 1µA)
Corrente di uscita a livello alto (IOH)	min -400µA (VOH = 2.4V)	min. -0.8mA (VOH = 4.5V)
Corrente di uscita a livello basso (IOL)	min 2mA (VOL = 0.45V)	min. 4.0mA (VOL = 0.5V)
Tensione di ingresso a livello alto (VIH)		min. 4.0V
Tensione di ingresso a livello basso (VIL)		max 1.0V

Nota: I valori riportati sono a temperatura normale (Ta = 25°C) e a tensione normale (VDD = 5.0V)

TABELLA 6-4

NOME SEGNALE	DESCRIZIONE
AD0 - AD7	: Per l'introduzione dei dati di controllo o del display nel driver dell'LCD; stringa di lettura dal driver.
Y7	: Segnale di abilitazione del driver LCD.
PA0 - PA7 PB0 e PB1	: Segnale di abilitazione dei chip per ogni driver dell'LCD.
S1	: Indica se si stanno scrivendo dati (S1 basso) o leggendo dati (S1 alto) dal driver dell'LCD.
A8	: Segnale di selezione registro nel driver dell'LCD. I dati AD0 - AD7 sono dati-display quando A8 e' a livello alto; sono dati-comando o stato, quando A8 e' a libello basso.
E	: NAND dei segnali RD e WR; indica la temporizzazione di lettura/scrittura dati del driver dell'LCD
V2	: Tensione per mantenere standard la tensione del driver LCD. La visualizzazione dell'LCD puo' essere modificata regolando la tensione V2 tramite il trimmer VR2.

TABELLA 6-5

La figura 6-15 mostra le temporizzazioni dei segnali sopradescritti.

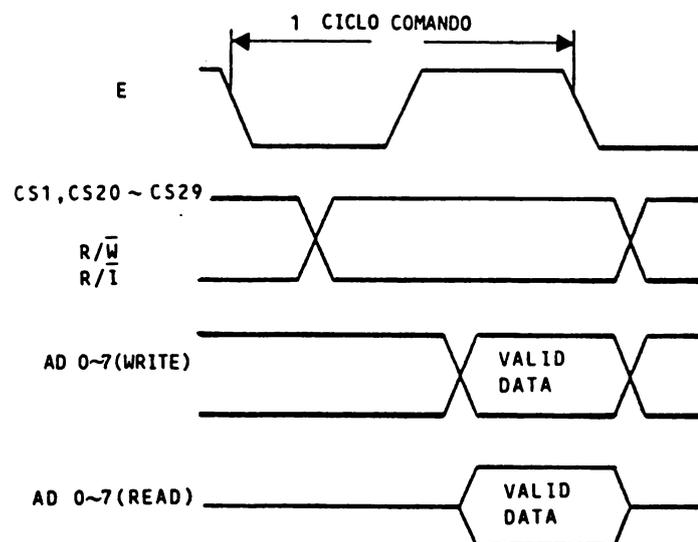


Fig. 6-15 Temporizzazione Segnali

6.15 CIRCUITO DI CONTROLLO DEL CLOCK

Un clock LSI (μ PD1990AC) e' utilizzato in questo circuito. Tramite un comando BASIC puo' essere regolata e letta l'ora.

Facendo riferimento alle figure da 6-16 a 6-19, si vede che quando l'M10 e' in condizione operativa (RESET e' a livello alto), comandi e dati possono essere scambiati tra la CPU e il μ PD1990AC (M18).

Inoltre, poiche' la tensione delle batterie VB e' applicata al μ PD1990AC, il clock funziona anche quando l'interruttore principale dell'M10 e' OFF. I terminali C0, C1, C2, DATA IN e CLK del μ PD1990AC sono connessi ai terminali PA0-PA4 dell'81C55; il terminale DATA OUT e' invece collegato al terminale PC0 del 81C55.

Il segnale STB e' fornito dal pin 2 della porta d'uscita M14 (40H175). Il segnale d'uscita TP e' collegato al terminale d'interruzione RST7.5 della CPU. Segnali ad onda quadra, (ciclo di 4 ms), escono da TP e quindi ogni 4 ms avviene una scansione del tasto in seguito all'interruzione RST7.5 della CPU.

6.15.1 SEQUENZA DI PREDISPOSIZIONE DELL'ORA

La CPU predispone il μ PD1990AC per l'ingresso dati, posizionando C0-C1-C2 a "1-0-0" e con un segnale di strobe generato dai segnali AD2, Y6 e \overline{WR}^* che passano attraverso M14. Quindi la CPU invia i dati dell'ora e della data al terminale DATA IN del μ PD1990AC con un clock di temporizzazione fornito da PA3.

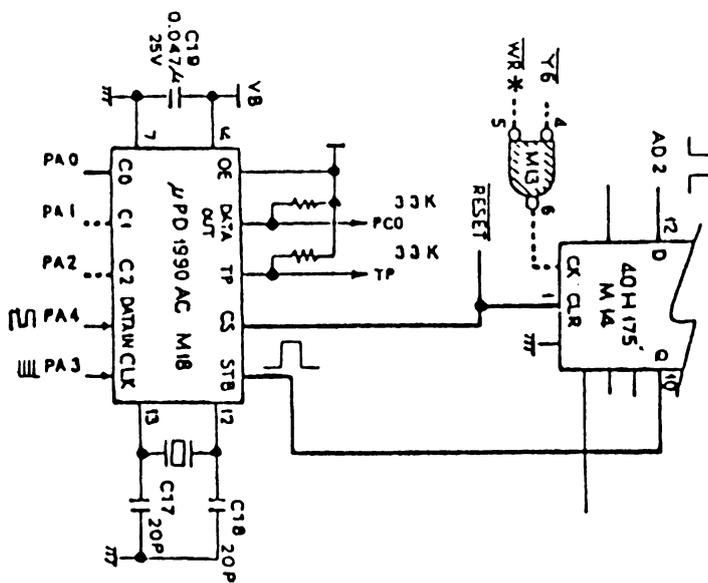


Fig. 6-16 Ingresso Dati

Infine la CPU si predispone nel modo "timer set", posizionando C0-C1-C2 a "0-1-0" e con il segnale di strobe.

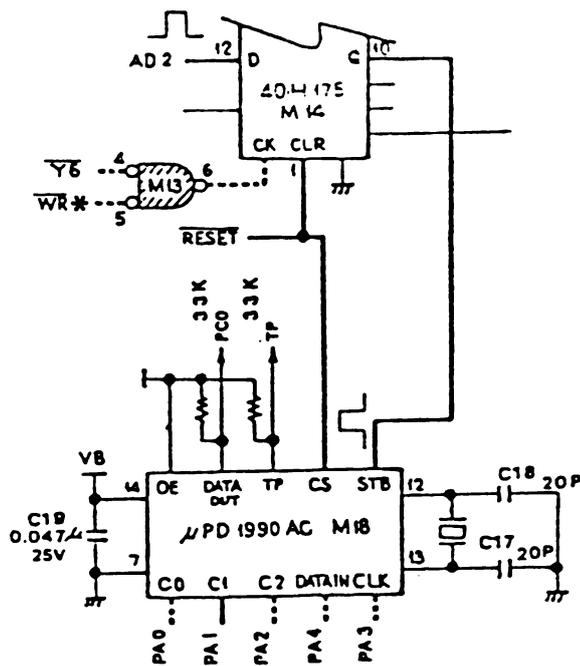


Fig. 6-17 Predisposizione Contatore

6.15.2 SEQUENZA DI LETTURA DELL'ORA

La CPU predispone il μ PD1990AC al conteggio, posizionando C0-C1-C2 a "1-1-0" e con il segnale di strobe.

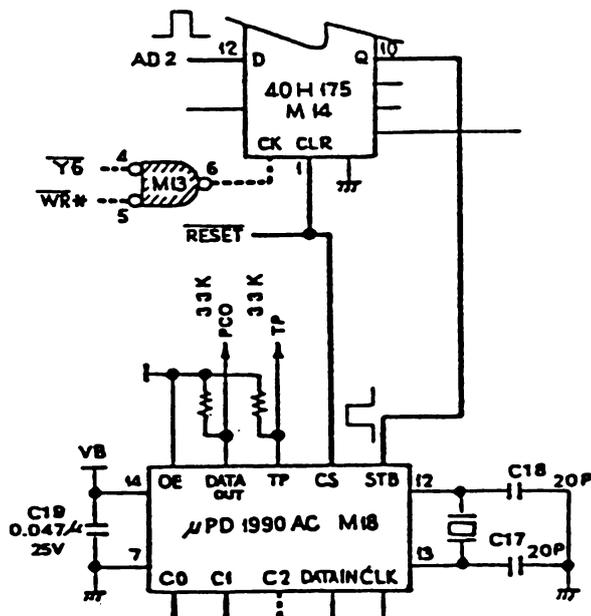


Fig. 6-18 Lettura Contatore

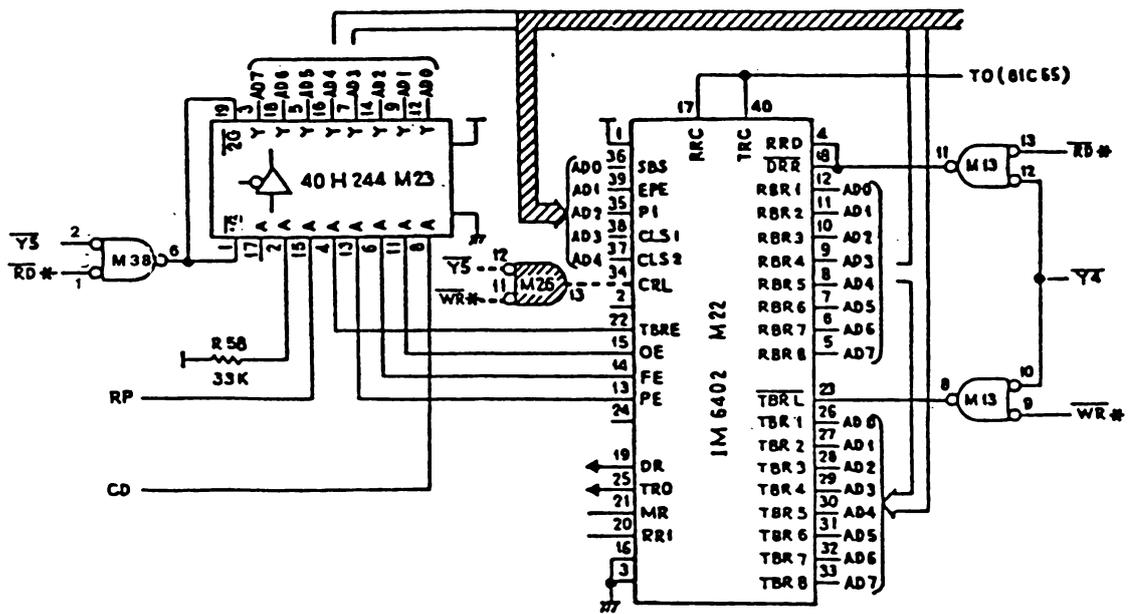


Fig. 6-20 Controllo Seriale

Per la trasmissione e' necessario che il segnale TBRE di M22 sia a livello alto. TBRE e' fornito dalla porta M23 selezionata dal segnale $\overline{Y5}$ (vedi figura 6-21). Non appena il segnale TBRE diventa alto, la trasmissione e' possibile I dati vengono scritti nel buffer di trasmissione (TBR1-TBR8) ed emessi dal terminale TR0 come dati seriali, includendo anche i bit di start, di parita' e di stop (vedi figura 6-22).

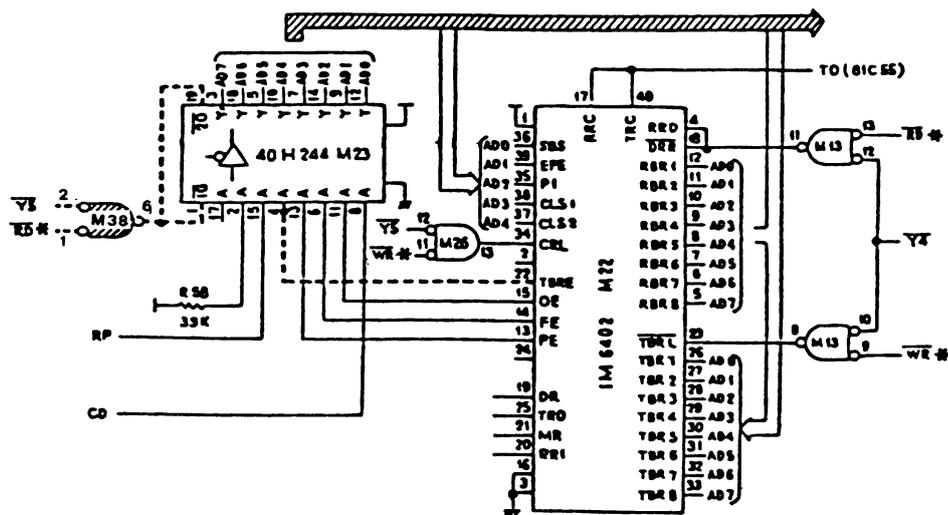


Fig. 6-21 Ciclo Lettura Stato

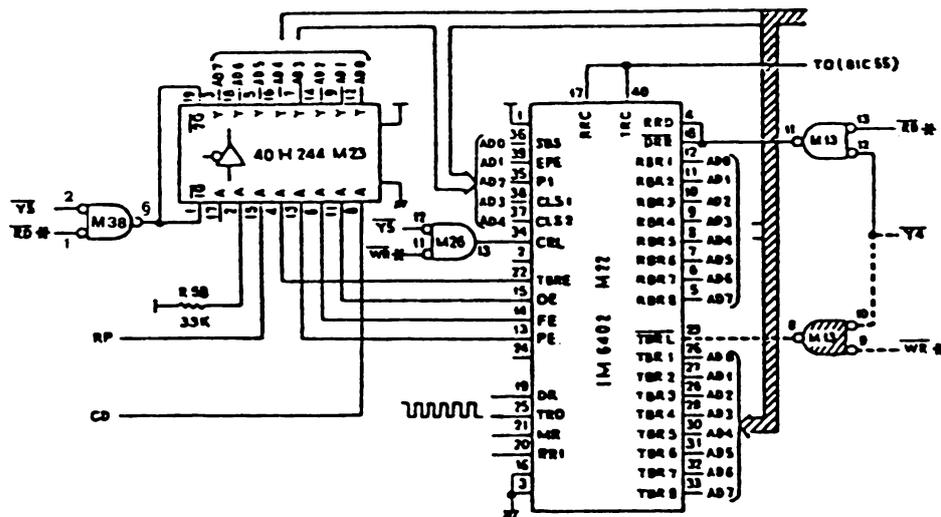


Fig. 6-22 Ciclo Trasmissione Dati

In ricezione, quando i dati entrano nel terminale RRI, il terminale DR cambia da livello basso a quello alto e l'interruzione RST6.5 notifica alla CPU che i dati in ricezione sono stati introdotti nell'IM6402, come illustrato in figura 6-23.

La CPU legge i segnali OE, FE e PE dalla porta di ingresso stato (M23) e, se non ci sono errori nella ricezione dei dati seriali, i dati provenienti dal buffer di ricezione selezionato da Y4, possono essere letti come dati in parallelo a 8 bit.

Il segnale di clock di riferimento della trasmissione/ricezione seriale dell'IM6402 e' preso dal terminale TO, predisponendo il timer 81C55.

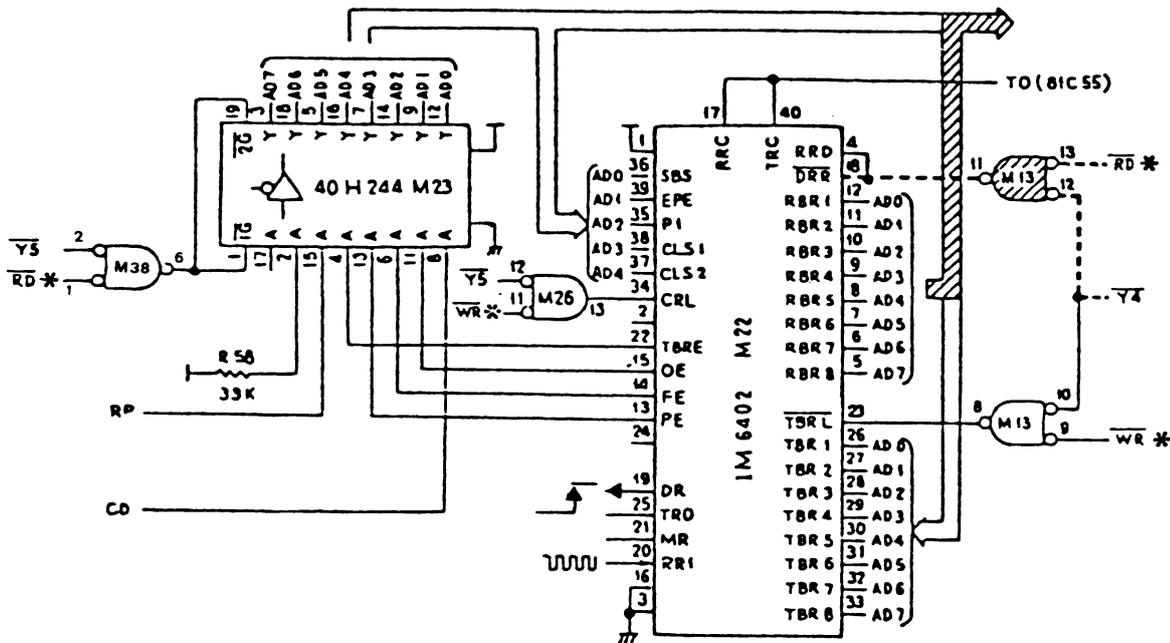


Fig. 6-23 Ciclo di Ricezione Dati

Inoltre il segnale RP del pin 5 della porta di ingresso stato, e' mantenuto come opzione per il funzionamento del MODEM. La tabella 6-6 mostra la corrispondenza dei segnali tra il bus dati e il bit di stato e il registro di controllo dell'IM6402.

BUS :	REGISTRO DI CONTROLLO	:	BIT DI STATO
DATI :		:	
AD0 :	SBS (Selezione Bit di Stop)	:	----
AD1 :	EPE (Abilitazione Parita' pari)	:	OE (Errore di Overrun)
AD2 :	PI (Inibizione di parita')	:	FE (Errore di Framing)
AD3 :	CLS1 (Selezionata lunghezza carattere 1)	:	PE (Errore di Parita')
AD4 :	CLS2 (Selezionata lunghezza carattere 2)	:	TBRE (Buffer di trasmissione pieno)
AD5 :	----	:	----
AD6 :	----	:	----
AD7 :	----	:	----

TABELLA 6-6

6.16.2 CIRCUITO DI SCAMBIO TRA MODEM E RS-232C (Solo Versione USA)

Poiche' la porta di input/output seriale che costituisce l'M6402 e' a un canale solo, il circuito in figura 6-24 viene multiplexato tra l'RS-232C e il MODEM.

Il segnale RS-232C (terminale PB3 dell'81C55) determina se la porta seriale debba essere usata come RS-232C o come MODEM. Quando il segnale RS-232C e' a livello basso, la porta e' usata come RS-232C; quando e' a livello alto, la porta e' usata come MODEM.

I segnali di ricezione, comprendenti anche il segnale di controllo, viene demultiplexato da M33, mentre il segnale di trasmissione e' multiplexato da M24 ed M26.

I segnali CTS e DSR (come la porta seriale) entrano in PC4 e PC5 dell'81C55, mentre il segnale CD entra nel pin 0 della porta di ingresso stato (M23). I segnali di uscita DTR e RTS escono da PB6 e da PB7 dell'81C55.

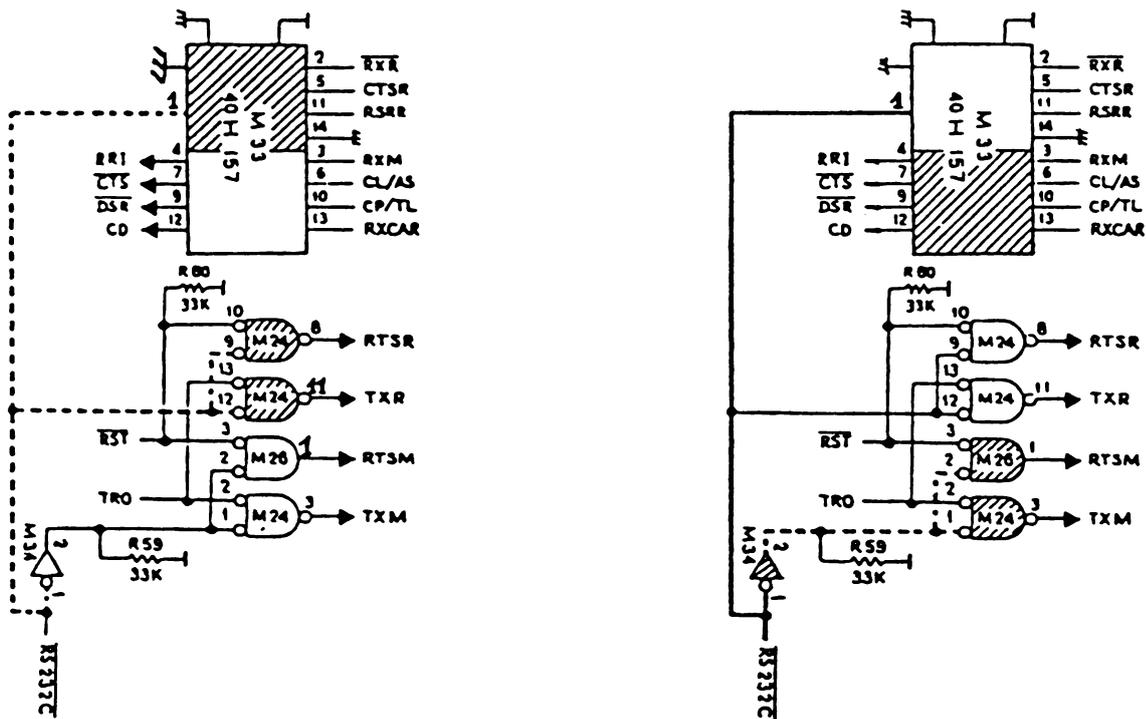


Fig. 6-24 Circuito di Scambio tra RS 232C e MODEM

6.16.3 CIRCUITO DI SCAMBIO TRA RS-232C E PONTICELLI LINGUA (solo versione Internazionale)

Mentre il sistema inizializza l'ora, la CPU legge lo stato di lingua tramite PC4 e PC5 dell'81C55.

Quando il segnale RS-232C e' a livello alto, la porta seriale e' usata per leggere lo stato del ponticello; tale stato viene poi letto dalla CPU tramite i segnali CTS e DSR.

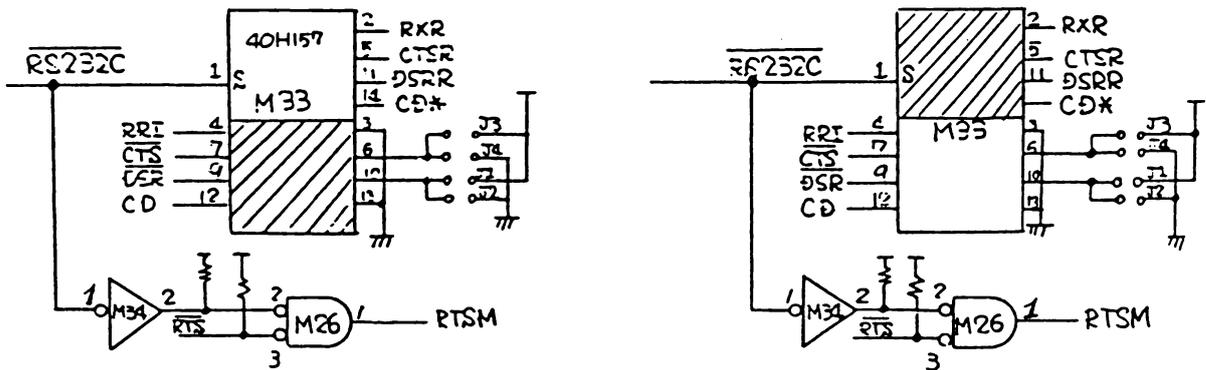
Quando il segnale RS-232C e' a livello basso, la porta viene usata come RS-232C. Nel modo RS-232C, i segnali CTS e DSR entrano nel PC4 e nel PC5 dell'81C55; il segnale CD entra nel pin 0 della porta di ingresso stato di M23.

I segnali di uscita DTR e RTS escono da PB6 e da PB7 dell'81C55. La tabella seguente mostra lo stato dei ponticelli.

LINGUA	J1	J2	J3	J4
INGLESE	X	INSTALLATO	X	INSTALLATO
TEDESCO	X	INSTALLATO	INSTALLATO	X
ITALIANO	INSTALLATO	X	X	INSTALLATO
FRANCESE	INSTALLATO	X	INSTALLATO	X

TABELLA 6-7

La figura seguente illustra i diversi modi di funzionamento del circuito.



a) Modo ponticellature lingue

b) Modo RS-232C

Fig. 6-25 Ponticellature

6.16.4 CIRCUITI DELL'RS-232C

Nel circuito di trasmissione dell'RS-232C, dopo la rimozione della componente continua del segnale TR0 dell'IM6402, dal segnale RSI e dal segnale DTR tramite un condensatore di accoppiamento (0,039 μ F 50 V), i segnali vengono livellati a +/-5 V tramite lo Schmitt Trigger dell'integrato M35 ed escono come segnali di trasmissione dell'RS-232C.

Nel circuito di ricezione dell'RS-232C, i segnali DSRR, CTSR, RXR e CDR dalla linea esterna dell'RS-232C, vengono invertiti da M35 e quindi convertiti a +5 V; in seguito sono demultiplexati da 40H157 (M33) e convertiti in segnali CTS, DSR, RRI e CD che vengono controllati dalla CPU.

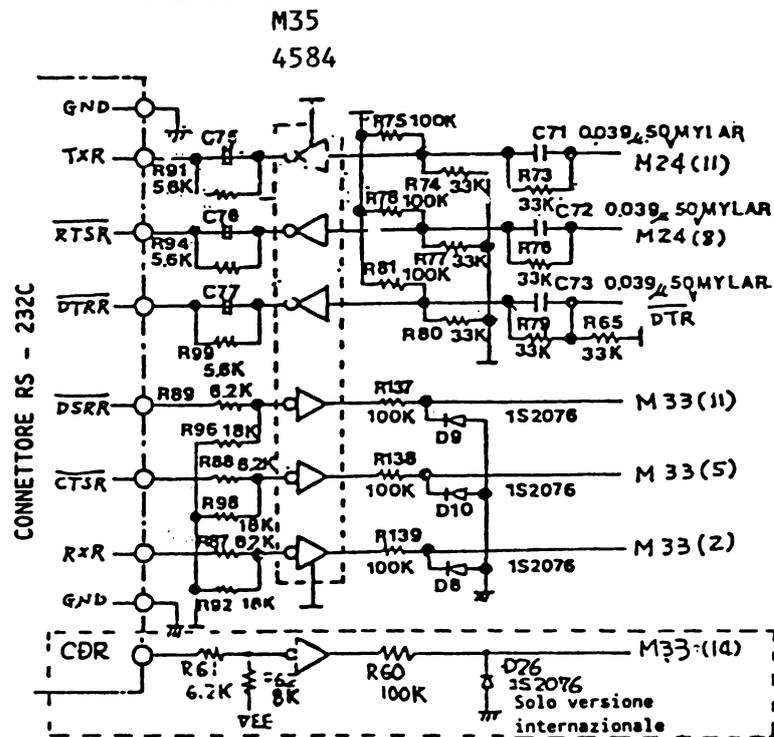


Fig. 6-26 Circuito RS-232C

La tabella che segue illustra l'applicazione dei segnali del circuito sopradescritto.

SIMBOLO	NOME	APPLICAZIONE
TXR	Transmit Data	Uscita dati da RS-232C
RXR	Receive Data	Ingresso dati da RS-232C
RTSR	Request to Send	
CTSR	Clear to Send	
DSRR	Data Set Ready	
DTRR	Data Terminal Ready	
CDR	Carrier Detect	Solo versione internazionale

TABELLA 6-8 Applicazione dei segnali del circuito RS-232C

Le seguenti informazioni riguardano il driver RS-232C ed il ricevitore.

- Distanza massima di trasmissione 5 m
- Massima tensione di uscita del driver..... +/-5 V
- Minima tensione di uscita del driver +/-3.5 V
- Massima tensione di ingresso del ricevitore +/-18 V
- Minima tensione di uscita del ricevitore +/-3 V
- Secondo lo standard EIA RS-232C

6.16.5 MODULAZIONE/DEMULAZIONE

I terminali RXRATE e TYPE dell'MC14412 (M31) sono portati alla tensione VDD. Il baud rate e' fissato a 300 bit/s, ed e' stato scelto lo standard USA. Poiche' i terminali ECHO e SELF TEST non sono necessari, vengono collegati a massa (livello = 0).

Finche' l'unita' e' nel modo MODEM, l'uscita Q (segnale EN) della porta M36, selezionata dal bit 1 della porta Y2, rappresenta l'ingresso del terminale ENABLE. Inoltre il segnale scelto dall'interruttore "ORIG-ANS" va all'ingresso MODE, commutando cosi' tra il modo "originate" e il modo "answer".

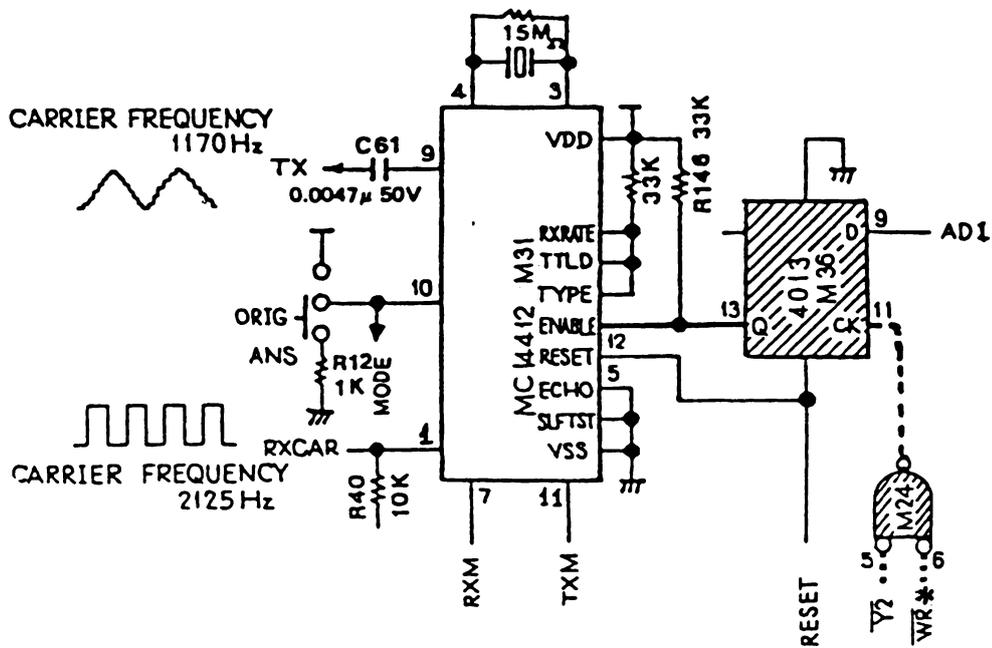


Fig. 6-27 Circuito di Modulazione/Demodulazione

6.16.6 CIRCUITO DEL FILTRO DI TRASMISSIONE (Solo Versione USA)

Il segnale della portante di trasmissione in uscita dal terminale TXCAR passa attraverso C61; il livello del segnale viene regolato a -26,5 db tramite il trimmer VR2. Il segnale attraversa il filtro di trasmissione (filtro a passo banda) e viene inviato alla linea telefonica o all'accoppiatore acustico.

Il filtro di trasmissione e' realizzato mediante un filtro attivo (amplificatore operazionale), la cui frequenza intermedia va determinata secondo il modo ("originale" o "answer").

A seconda della posizione dell'interruttore ORIG-ANS, il transistor T4 conduce o meno dimodoche R42 vale 2,3K nel modo "answer", e la sintesi delle resistenze R42 e R45 determina il modo "originate".

La frequenza intermedia del filtro attivo e' 1.170 Hz nel modo "originate" e 2.125 Hz nel modo "answer".

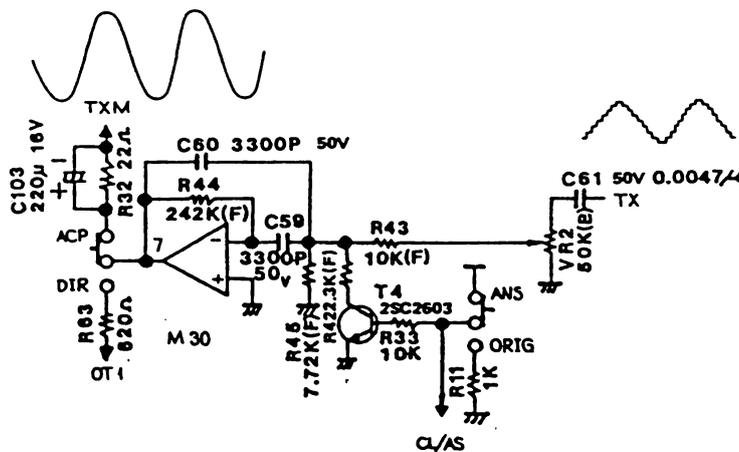


Fig. 6-28 Filtro Attivo

6.16.7 CIRCUITO DI COMPARAZIONE E FILTRO DI RICEZIONE (Solo Versione Usa)

Il segnale di ingresso del circuito di ricezione dopo esser passato attraverso il condensatore di accoppiamento C40, viene amplificato, quindi attraversa un filtro a passa banda a tre stadi (filtro attivo); dopo essere stato nuovamente amplificato, attraversa un comparatore, quindi dopo essere stato trasformato in onda quadra, e' inviato al terminale RX CAR dell'MC14412.

Le frequenze intermedie del filtro attivo a tre stadi sono mostrate nella figura seguente.

La commutazione della frequenza intermedia per il modo "originate" e per il modo "answer" dipende dalla commutazione ON/OFF di T2, T3, T5, in base alla posizione dell'interruttore ORIG-ANS, determinando cosi' la variazione dei valori delle resistenze.

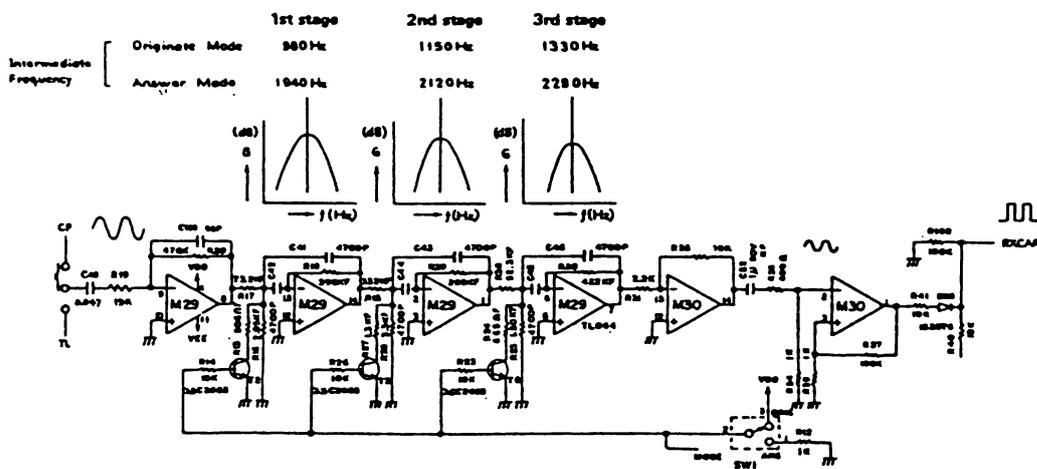


Fig. 6-29 Circuito di Ricezione

6.16.8 ALTRI CIRCUITI (Solo Versione USA)

Nel funzionamento con accoppiatore acustico, i segnali di trasmissione e di ricezione sono collegati direttamente al connettore MODEM, (pin TxM ed RxM); con il funzionamento telefonico diretto, i suddetti segnali sono connessi al secondario del trasformatore di separazione, mentre l'avvolgimento primario del trasformatore e' collegato alla linea telefonica attraverso i pin TxMD e RxMD del connettore MODEM.

L'interruttore ACP-DIR e' usato per selezionare l'accoppiatore acustico o la linea telefonica.

Quando l'M10 e' usato come terminale, il rele' RY3 evita interferenze tra il segnale di ingresso "audio" e il ricevitore telefonico, separando il segnale TL da quest'ultimo. L'RY2 separa il circuito MODEM e il telefono a conclusione dell'uso come terminale e serve anche per la chiamata automatica.

Gli altri segnali WR e RD del connettore MODEM vengono usati quando viene usato il telefono opzionale di risposta.

6.17 PANNELLO LCD

Il cristallo liquido e' una sostanza intermedia tra una sostanza liquida e una solida, sebbene il suo aspetto sia quello di una sostanza liquida. Dal punto di vista elettrico ed ottico, ha le proprieta' di un cristallo. L'LCD usato nell'M10 e' un cristallo del tipo TN (Twisted Nematic). La figura seguente mostra i principi basici sui quali sono realizzati i cristalli liquidi.

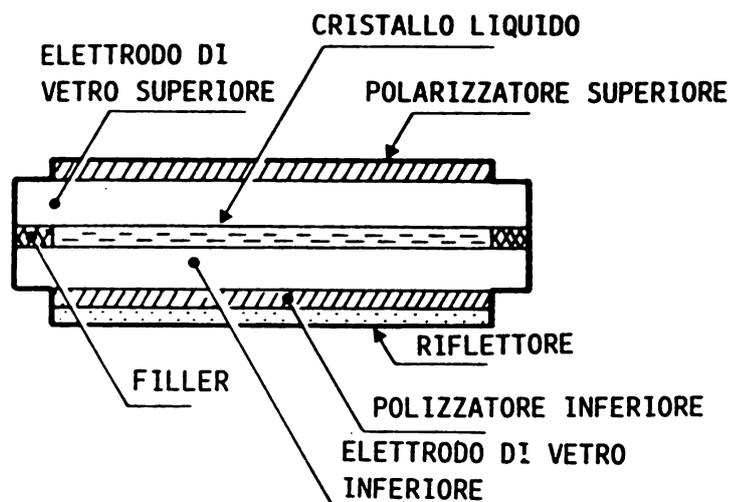


Fig. 6-32 Elementi Fondamentali dell'LCD

Il principio di funzionamento puo' essere definito in poche parole come "un otturatore elettrico in relazione con la luce". In altre parole, se si applica una tensione viene bloccata la trasmissione della luce, se la tensione non e' applicata, la luce passa permettendo la visualizzazione delle simboli da rappresentare.

La teoria di funzionamento dei cristalli liquidi si comprende meglio con l'ausilio della figura 6-33.

In questi dispositivi viene utilizzata l'attivita' ottica della luce; il cristallo liquido viene interposto tra due piastrine di polarizzazione. Gli assi di polarizzazione delle due piastrine (superiore e inferiore) sono posti perpendicolarmente l'uno rispetto all'altro.

Se la tensione non viene applicata, le molecole del cristallo liquido, poste tra le due piastrine di polarizzazione, ruotano di 90 gradi determinando cosi' un pari movimento ottico della luce.

In altre parole, se non si applica tensione, la luce viene trasmessa; quando si applica la tensione, il passaggio della luce viene interrotta.

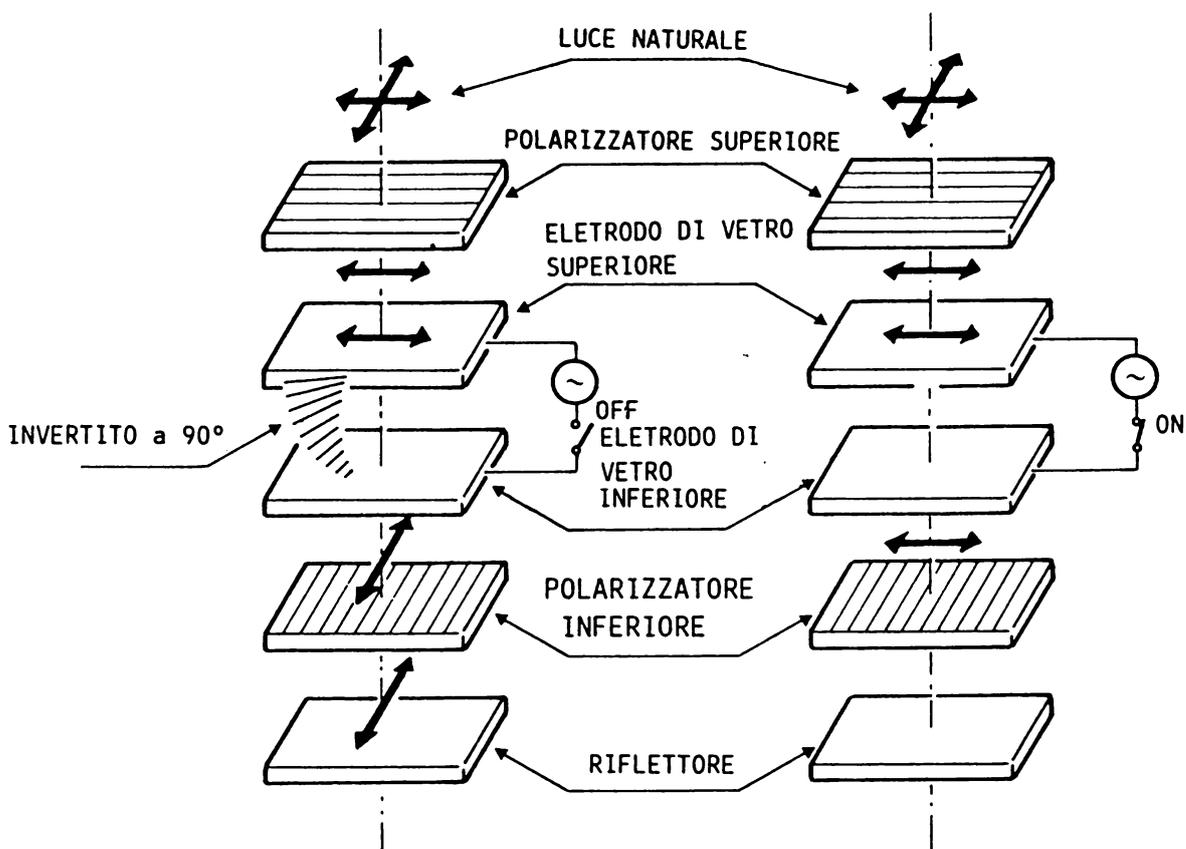


Fig. 6-33 Funzionamento dei Cristalli Liquidi

Il display a cristallo liquido dell'M10 e' realizzato da elettrodi disposti secondo una matrice formata da 480 segmenti per 64 (vedi figura 6-34).

Poiche' questo display funziona con un ciclo di 1/32, la scansione delle 32 righe superiori e delle 32 righe inferiori e' realizzata con lo stesso segnale.

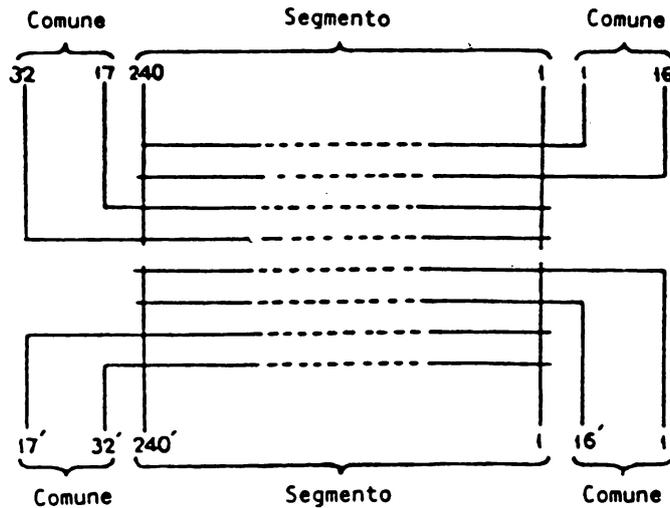


Fig. 6-34 Elettrodi LCD

L'angolo di campo di visione e' 30 nel campo di contrasto K:

$$K = \frac{\text{luminosita' di un segmento non illuminato}}{\text{luminosita' di un segmento illuminato}} = 1.4$$

Tale campo di variabilita' puo' essere modificato a piacimento da 0 a 30, regolando la tensione di pilotaggio dell'LCD tramite il controllo esterno JISP.

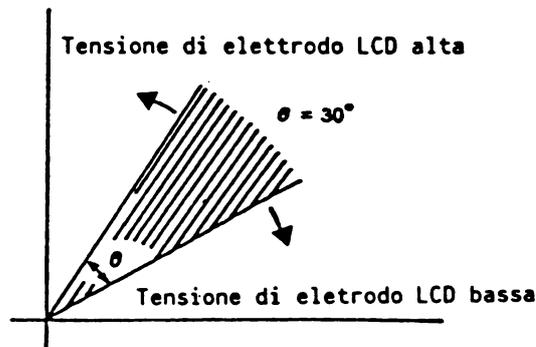


Fig. 6-35 Campo di Visibilita'

Precauzione

La piastra di polarizzazione sulla superficie del pannello LCD si riga molto facilmente; pertanto deve essere maneggiata con cura. Per pulire i contatti o la superficie del display, inumidire leggermente un panno morbido con della benzina e strofinare delicatamente. Non usare solventi organici, ad esempio alcool.

6.18 CIRCUITO DI CONTROLLO DELL'LCD

Nella lettura di questo paragrafo, far riferimento allo schema che rappresenta il circuito stampato dell'LCD.

I circuiti integrati M11 e M12 (HD44103) sono quelli che pilotano il "back scan".

Il segnale di temporizzazione necessario al display, viene generato da un oscillatore interno oltre a C5 ed R10; tale segnale viene inviato anche al driver dei segmenti per il controllo del display.

Ci sono sedici segnali di "back scan" in uscita all'HD44103. M11 e M12 sono connessi in cascata per realizzare un ciclo di "back scan" di 1/32. Tramite un condensatore e una resistenza sul lato M11, viene generato un segnale di temporizzazione che controlla l'M12; perciò, si può considerare M11 come il "master" e M12 come lo slave. La frequenza base di oscillazione è di circa 430 KHz.

In figura 6-36 è disegnata la logica interna dell'LCD.

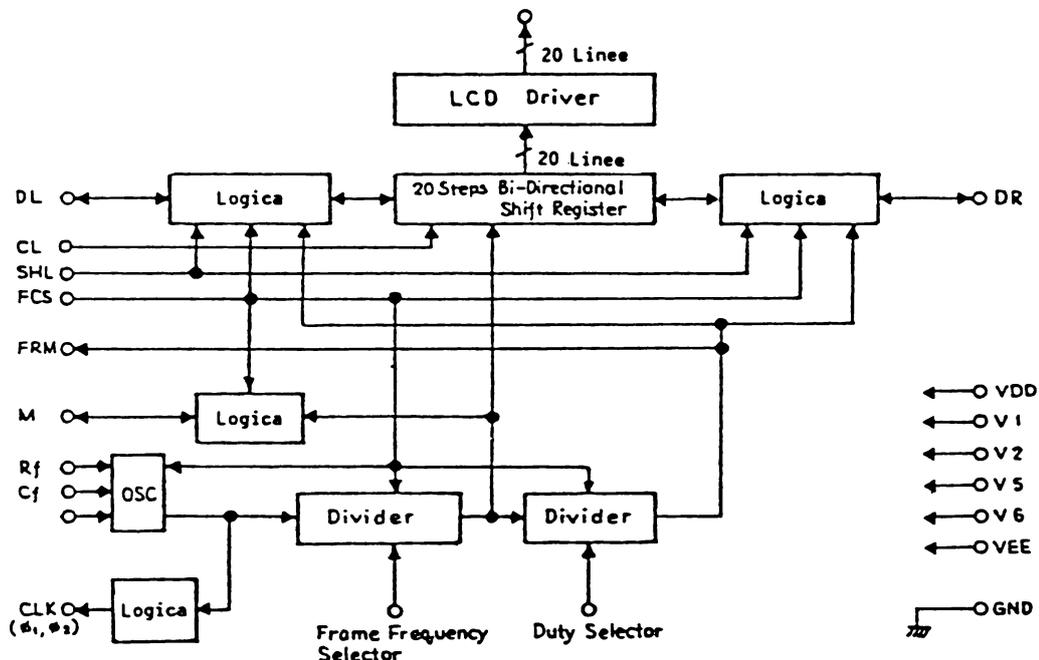


Fig. 6-36 Logica Interna dell'HD44103

I segnali di temporizzazione sono M, FRM, ϕ_1 , ϕ_2 e CL.

Il segnale M è il segnale che inverte la forma d'onda di pilotaggio dell'LCD, un'immagine per volta, per cambiarla in c.a.. Poiché una costante applicazione di corrente continua all'LCD abbrevierebbe la vita stessa dell'unità, un campo a corrente alternata viene applicato alla superficie del cristallo liquido durante il suo pilotaggio, in modo da ottenere forme d'onda simmetriche e ridurre al minimo le componenti continue.

Il segnale FRM rappresenta la frequenza di ripetizione del display stabilendo così il numero di scansioni per secondo.

Nel nostro caso, FRM vale circa 70 Hz.

I segnali ϕ_1 e ϕ_2 sono i bloccaggi per le operazioni della RAM HD44102.

Il segnale CL e' il bloccaggio di scorrimento dello shift register.
 I circuiti integrati da M1 a M10 (HD44102) sono i driver dei segmenti che permettono di memorizzare, nella RAM interna, i dati del display inviati dalla CPU, generando poi automaticamente il segnale di pilotaggio del cristallo liquido.

Un bit della RAM interna corrisponde a un puntino illuminato o non illuminato sul display. L'uscita del driver e' 50.

Il trasferimento dei dati e' secondo un dato in parallelo a 8 bit. Questo integrato ha parecchi tipi di comandi ed il segnale D/I distingue tra comandi e dati (livello alto = dati, livello basso = comando).

In figura 6-37 e' rappresentata la logica interna dell'integrato.

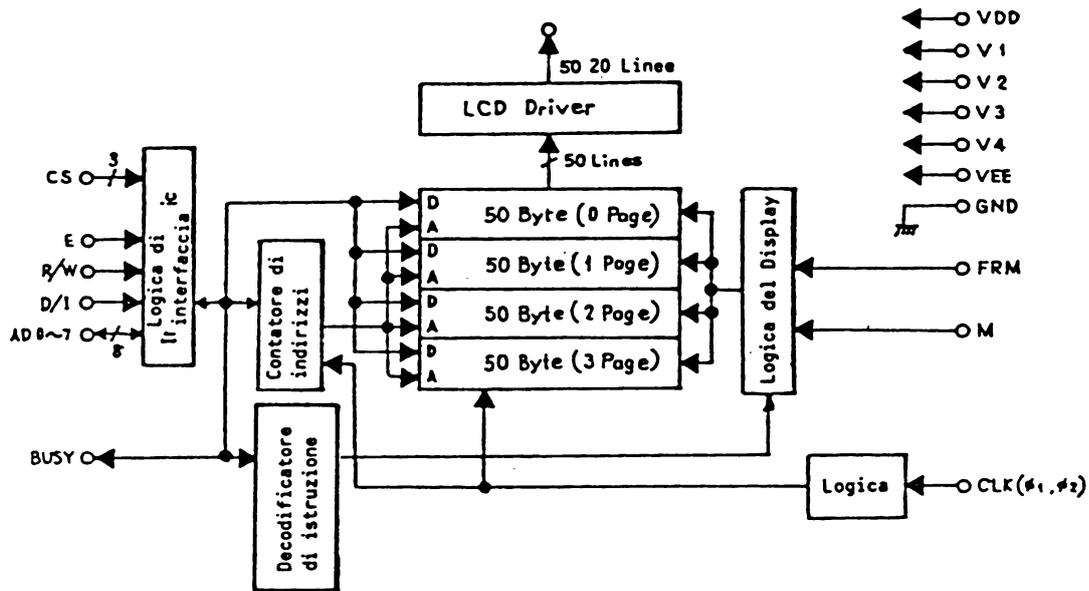


Fig. 6-37 Logica Interna dell'HD44102

Essendo il display costituito da due sezioni di 240 segmenti ciascuna, il segmento d'uscita Y41-Y50 di M5 e M10 risulta non connesso. Le tensioni fornite a questi circuiti integrati, oltre alla VDD (+5 V) ed alla VEE (-5 V), includono anche quelle da V1 a V6. VDD e VEE sono le tensioni necessarie al funzionamento della logica degli integrati, mentre V1-V6 producono il segnale LCD.

Le tensioni V1-V6 sono determinate dalla combinazione delle resistenze R1, R2, R3, R4 ed R5 e dall'amplificatore operazionale M13 (HA17902).

I condensatori C3, C4, C6, C7 e C8 aumentano la corrente di picco durante l'illuminazione dell'LCD.

R11, R12 e R13 sono resistenze per evitare il funzionamento indesiderato dei circuiti integrati.

Questa piastra include anche un LED di rilevazione di bassa potenza.

6.19 FORMA D'ONDA DELL'LCD

Per pilotare gli elementi del cristallo liquido con un metodo di scansione sequenziale di linea di periodo $1/32$, l'LCD dell'M10 esegue una selezione sequenziale dei 32 elettrodi di scansione.

Per ogni puntino, il segnale di display passa attraverso gli elettrodi di segnale ed è applicato 32 volte per ogni visualizzazione. A questo punto il segnale è necessario per ogni puntino soltanto una volta, e i segnali per le altre 31 volte corrispondono agli altri puntini dello stesso elettrodo di segnale.

Poiché gli elementi del cristallo liquido hanno una caratteristica di risposta cumulativa (una caratteristica di risposta che corrisponde alla somma totale delle tensioni effettive degli impulsi di tensione applicati da alcune decine di msec ad alcune centinaia di msec), la tensione applicata per 32 volte è tutta applicata come tensione effettiva, cosicché il contenuto del puntino in questione è influenzato da interferenze con gli altri puntini sulla stessa riga del display.

Per eliminare questa interferenza, è necessario che la tensione applicata al cristallo liquido sia mantenuta ad un livello costante per ciascun puntino della matrice, indipendentemente dal fatto che i segnali sugli altri puntini siano ON o OFF; in questo modo si realizza una tensione media tramite la combinazione di livelli di tensione, quando il segnale di scansione e il segnale di display sono selezionati o non selezionati.

Si può usare un metodo algebrico appropriato per determinare le combinazioni di tensione applicate all'elemento (metodo di media tensione), così da ottenere il massimo contrasto del display mentre si elimina l'interferenza tra gli elementi di cristallo liquido. La combinazione degli elementi del cristallo liquido, la combinazione dei due tipi di tensione non applicata e la differenza di potenziale risultante, realmente applicata al cristallo liquido, sono mostrati nel punto (a) e nel punto (b) della tabella 6-9.

Signal electrode		Selection	Non-selection
Scanning electrode		0	$2V_o/a$
		Selection V_o	$(1 - 2/a)V_o$
Non-selection	V_o/a	$+ V_o/a$	$- V_o/a$

Schema (a)

TABELLA 6-9 Tensioni del cristallo liquido e tensioni applicate agli elettrodi tramite il metodo di media tensione

Signal electrode		Selection	Non-selection
Scanning electrode		V_o	$(1 - 2/a)V_o$
Selection	0	$-V_o$	$-(1 - 2/a)V_o$
Non-	$(1 - 1/a)V_o$	$-V_o/a$	$+V_o/a$

TABELLA 6-9 Schema (b)

Come si puo' capire studiando la tabella 6-9, le tensioni applicate al cristallo liquido (tempo 32-1 per la non selezione) sono in media $\pm V_o/a$, sia che la tensione di segnale sia selezionata (gli altri segmenti sono ON) o non selezionata (gli altri segmenti sono OFF). Inoltre, la forma d'onda viene invertita e risulta in pilotaggio alternato, alterando le tensioni applicate (a) e (b).

V_o rappresenta la tensione massima applicata all'elettrodo di scansione e all'elettrodo di segnale ed e' la differenza di potenziale tra V_1 e V_2 . Inoltre "a" e' il coefficiente di polarizzazione che determina, dal punto di vista del contrasto, il rapporto massimo tra la tensione di illuminazione e la tensione di non illuminazione. "a" vale 6.66 quando tale rapporto e' il maggiore in relazione alle tensioni effettive di ON e OFF. Per V_2 , V_3 , V_4 , V_5 e V_6 valgono le seguenti relazioni:

$$V_2 = V ; \quad V_3 = 2/aV ; \quad V_4 = (1 - 2/a)V ; \quad V_5 = (1 - 1/a)V ; \quad V_6 = a/aV$$

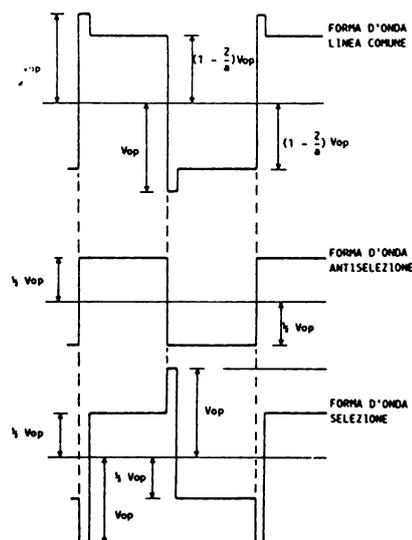


Fig. 6-38 Forme d'onda di pilotaggio per illuminazione e non illuminazione

6.20 CIRCUITO DI ALIMENTAZIONE E DI SPEGNIMENTO AUTOMATICO

I circuiti di questo paragrafo vengono descritti suddividendoli in tre sezioni:

- Alimentazione
- Rilevazione di bassa potenza
- Spegnimento automatico

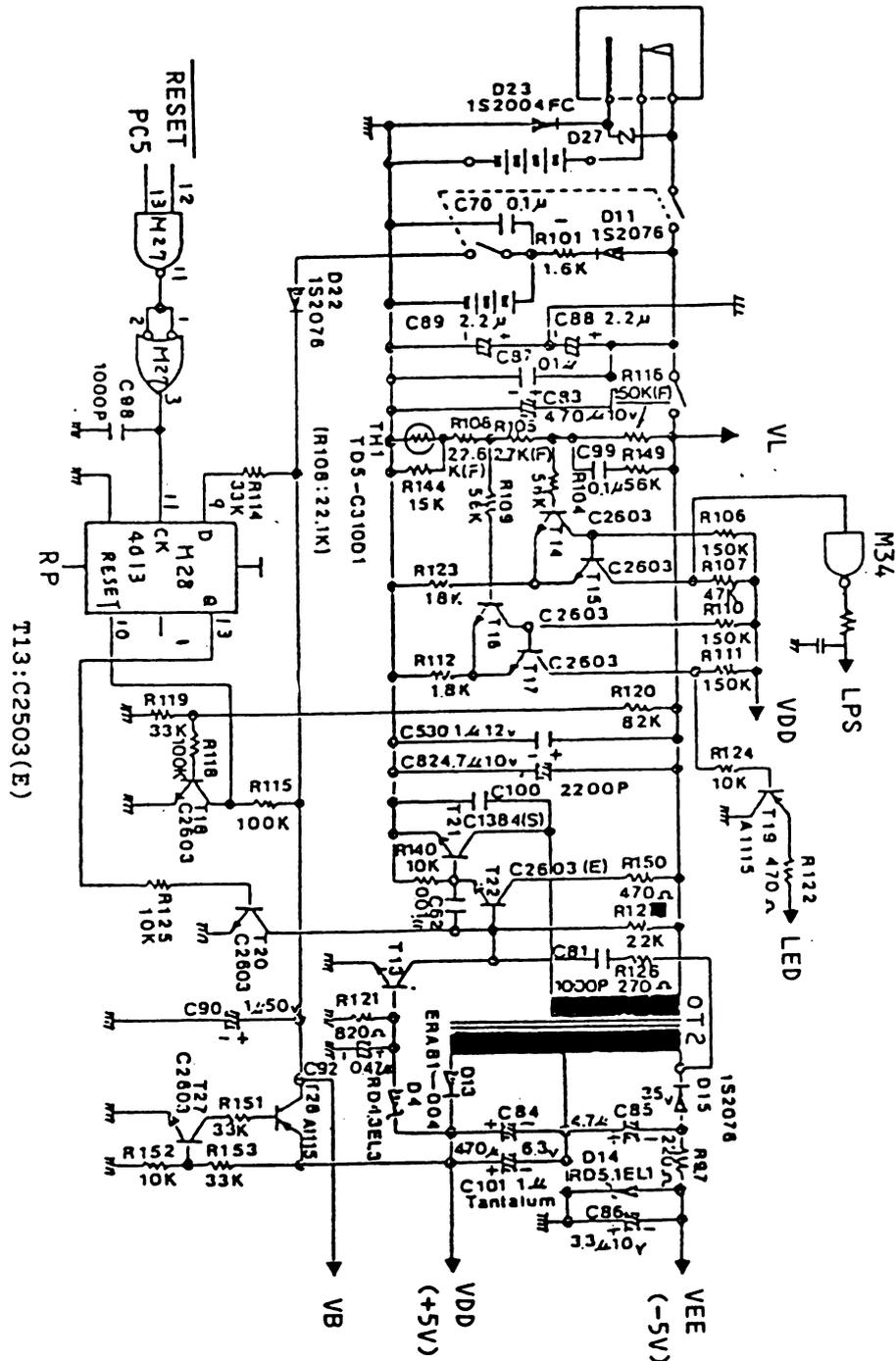


Fig. 6-39 Schema di alimentazione

6.20.1 CIRCUITO CONVERTITORE CC/CC

La tensione di alimentazione dei circuiti logici e' di ± 5 V. Tale tensione viene fornita da un convertitore c.c./c.c.. L'OT2 e' un convertitore trasformatore che fa oscillare T21 e T22 generando una tensione nell'avvolgimento secondario del trasformatore.

Nell'istante in cui la macchina viene accesa, una corrente molto debole passa nel collettore di T21 e di T22. Si genera una tensione tra i pin 7 e 9 del convertitore trasformatore e il potenziale della base di T22 diventa positivo; in altre parole, la base risulta polarizzata in senso diretto. Questa tensione provoca il passaggio di corrente nella base di T21 e di T22 e quindi la corrente di collettore aumenta. In un primo tempo la corrente di collettore aumenta ma quando non puo' piu' aumentare, a causa della resistenza di saturazione del transistor e della resistenza della bobina del convertitore, la tensione tra i pin 7 e 9 comincia ad attenuarsi, determinando cosi' una diminuzione della corrente di base e di collettore che interdira' i transistor T21 e T22. La corrente di eccitazione passera' nel trasformatore fino a qualche attimo prima che il transistor venga interdetto. Poiche' la corrente viene interrotta improvvisamente nell'istante in cui si interdice il transistor, si generera' una tensione inversa e la capacita' distribuita della bobina si carichera'; di conseguenza si avra' la generazione di una tensione di oscillazione nella bobina di base. Poi, quando il potenziale della base e' a meta' ciclo della tensione di oscillazione, essa risultera' polarizzata direttamente e T21 e T22 condurranno di nuovo provocando l'oscillazione illustrata in figura 6-40.

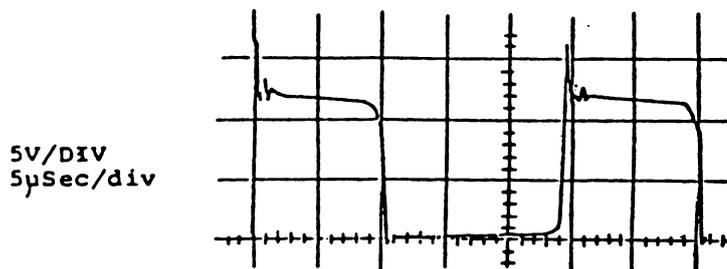


Fig. 6-40 Oscillazioni nel Circuito di Alimentazione

In tal modo una tensione a.c. viene generata nell'avvolgimento secondario del convertitore; questa tensione viene poi rettificata e livellata dal circuito formato da D13, D15, C84 e C85. Inoltre, le fluttuazioni di tensione di VDD (+5 V) vengono rinviate all'avvolgimento primario del transistor di oscillazione tramite T13, D4, R121 e C92, in modo da migliorare la stabilita'.

C81 e R126 costituiscono un circuito differenziatore impiegato per facilitare l'operazione di feed back del transistor di oscillazione. Ne derivera' che la frequenza di oscillazione sara' influenzata dalla costante di tempo prodotta dai componenti C e R del differenziatore.

La tensione VEE (-5 V) viene stabilizzata da R97 e D14 (la tensione ai capi del condensatore C85 e' di circa -7 V).

6.20.2 CIRCUITO DI RILEVAZIONE BASSA POTENZA E DI SPEGNIMENTO AUTOMATICO

Il circuito di rilevazione bassa potenza fa accendere un diodo che segnala la diminuzione di tensione delle batterie. Se questa tensione diminuisce ancora, l'alimentazione del sistema verrebbe interrotta prima che la tensione diventi così bassa da non far funzionare il convertitore. Tra l'istante in cui il diodo si accende e quello in cui il sistema viene spento, passano circa 20 minuti (nel caso che nessun dispositivo di I/O sia collegato).

La tensione delle batterie viene rilevata dal partitore di tensione formato da R144, R108, R105 e R116. Quando la tensione delle batterie (VL) diventa 4 (+/-0,1) V, il transistor T16 viene interdetto, T17 conduce, T19 conduce ed il diodo si accende (il diodo è montato sul PWB dell'LCD).

Quando VL diventa 3,7 (+/-0,1) V, il transistor T14 viene interdetto, T15 conduce ed il segnale LPS passa da un livello alto ad uno basso. Quindi LPS viene invertito da M34 ed inviato al terminale TRAP dell'80C85. Se la CPU riconosce questo segnale, essa emette il segnale P.C.S. attraverso PB4 dell'80C85.

Il segnale P.C.S. è attivo alto.

Quando tale segnale diventa alto, l'uscita Q di M28 (4013: Flip/Flop tipo "D") va a livello alto; T20 conduce e l'oscillazione del convertitore viene interrotta.

Se non ci sono operazioni per più di 10 minuti (in attesa di comando), il segnale P.C.S. esce da PB4 dell'81C55.

Quando l'interruttore di alimentazione viene messo in posizione OFF, il transistor T18 viene interdetto, il terminale RESET di M28 va a livello basso e l'oscillazione può riprendere, commutando l'interruttore di alimentazione ad "ON". Se comunque l'alimentazione viene ridotta dal segnale L.P.S. è necessaria la sostituzione delle batterie.

R112 e R123 sono resistenze d'isteresi.

6.21 CIRCUITO DI RESET

Questo circuito fornisce il segnale di CPU $\overline{\text{RESET}}$, il segnale RAM RST e quello di protezione della RAM quando la tensione di alimentazione diminuisce.

Con riferimento alla figura 6-41, si vede che la resistenza R103 ed il condensatore C78 ritardano l'ingresso all'alimentazione per cui il transistor T11 conduce; T11 si interdirà solo dopo che VDD è attivata facendo così commutare il segnale RESET dal livello basso a quello alto. Nello stesso modo, il segnale RAM RST viene generato da T9 e commuta dal livello alto a quello basso. La resistenza R141 provvede all'isteresi al segnale $\overline{\text{RESET}}$.

Il termistore TH2 elimina le fluttuazioni del segnale $\overline{\text{RESET}}$ dovute alla temperatura.

T25 riceve il segnale durante lo "spegnimento automatico", cortocircuitando i capi di C78, resettando il sistema.

Il segnale $\overline{\text{RESET}}$ è attivo a livello basso mentre RAM RST è attivo a livello alto.

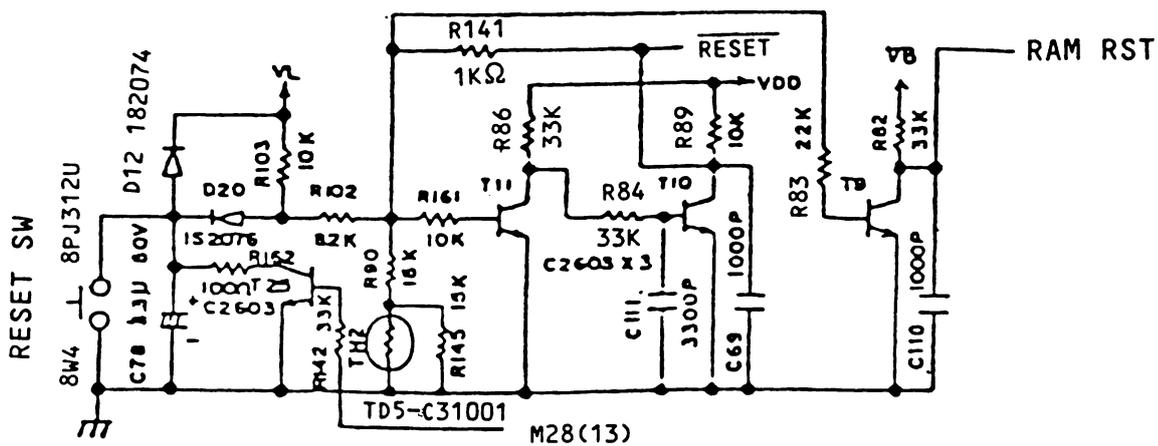


Fig. 6-41 Circuito di RESET

APPENDIX A

This appendix contains an explanation of the following LSI description.

- MSM80C85ARS (CPU) MC14412 (MODEM)
- MSM81C55RS (PIO)
- IM6402 (UART)
- μ PD1990AC (TIMER)

A.1 MSM80C85ARS (CPU)

1 chip, 8 bit C-MOS Microprocessor.

The MSM80C85ARS (80C85) is an 8-bit parallel Central Processing Unit (CPU). It's instruction set is a full compatible with the 8080A microprocessor.

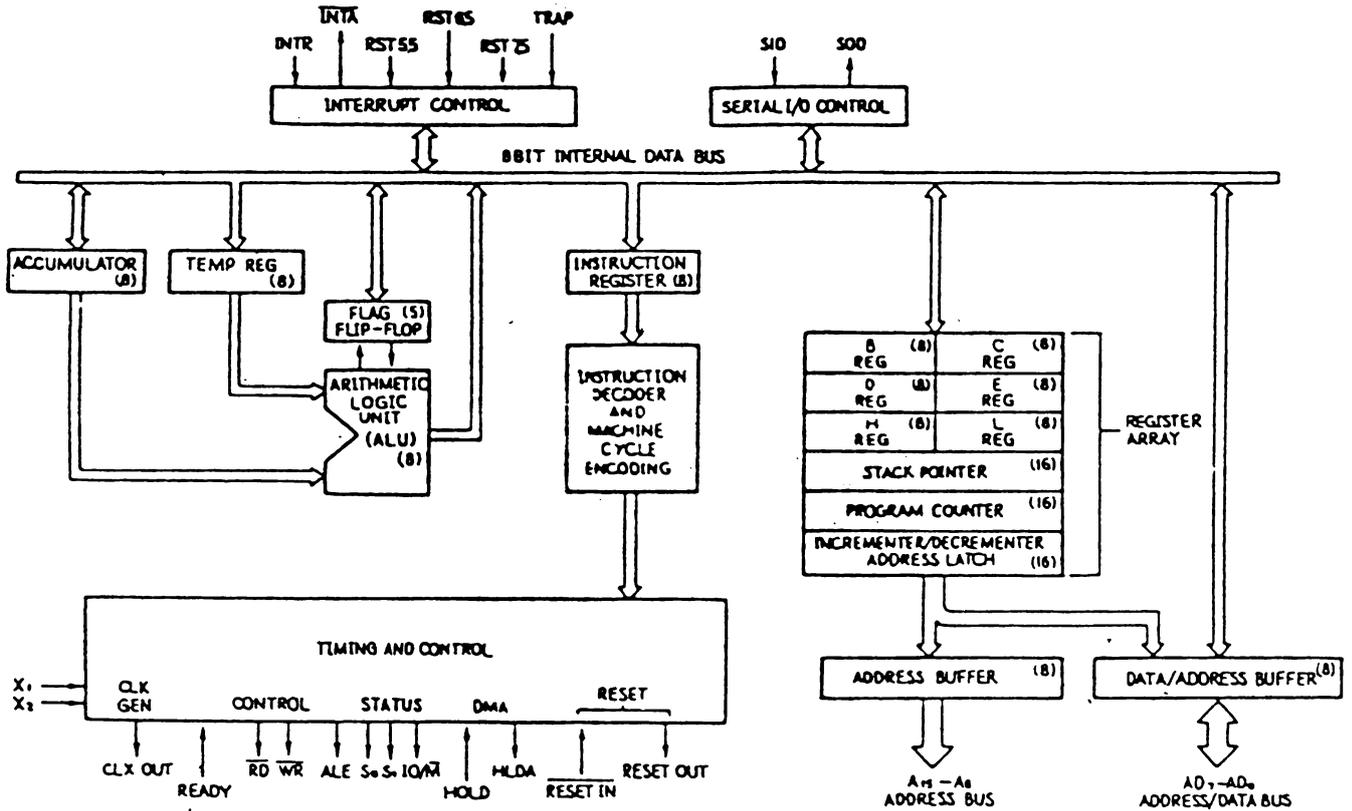


Fig. A-1 80C85 Functional Block Diagram

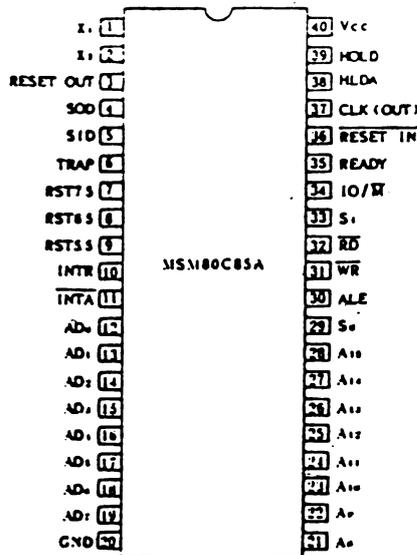


Fig. A-2 80C85 Pin Layout

(a) 80C85 FUNCTIONAL PIN DESCRIPTION

Symbol	Function																																								
$A_8 - A_{15}$ (Output, 3-state)	Address BUS: The most significant 8 bits of the memory address or the 8 bits of the I/O address, 3-stated during Hold and Halt modes and during RESET.																																								
AD_{0-7} (Input/Output, 3-state)	Multiplexed Address/Data Bus: Lower 8 bits of the memory address (or I/O address) appear on the bus during the first clock cycle (T state) of a machine cycle. It then becomes the data bus during the second and third clock cycles.																																								
ALE (Output)	Address Latch Enable: It occurs during the first clock state of a machine cycle and enables the address to get latched into the on-chip latch of peripherals. The falling edge of ALE is set to guarantee setup and hold times for the address information. The falling edge of ALE can also be used to strobe the status information. ALE is never 3-stated.																																								
$S_0, S_1,$ and IO/\overline{M} (Output)	<p>Machine cycle status:</p> <table><thead><tr><th>IO/\overline{M}</th><th>S_1</th><th>S_0</th><th>Status</th></tr></thead><tbody><tr><td>0</td><td>0</td><td>1</td><td>Memory write</td></tr><tr><td>0</td><td>1</td><td>0</td><td>Memory read</td></tr><tr><td>1</td><td>0</td><td>1</td><td>I/O write</td></tr><tr><td>1</td><td>1</td><td>0</td><td>I/O read</td></tr><tr><td>0</td><td>1</td><td>1</td><td>Opcode fetch</td></tr><tr><td>1</td><td>1</td><td>1</td><td>Interrupt Acknowledge</td></tr><tr><td>*</td><td>0</td><td>0</td><td>Halt</td></tr><tr><td>*</td><td>X</td><td>X</td><td>Hold</td></tr><tr><td>*</td><td>X</td><td>X</td><td>Reset</td></tr></tbody></table> <p>* = 3-state (high impedance) X = unspecified</p> <p>S_1 can be used as an advanced R/\overline{W} status. IO/\overline{M}, S_0 and S_1 become valid at the beginning of a machine cycle and remain stable throughout the cycle. The falling edge of ALE may be used to latch the state of these lines.</p>	IO/\overline{M}	S_1	S_0	Status	0	0	1	Memory write	0	1	0	Memory read	1	0	1	I/O write	1	1	0	I/O read	0	1	1	Opcode fetch	1	1	1	Interrupt Acknowledge	*	0	0	Halt	*	X	X	Hold	*	X	X	Reset
IO/\overline{M}	S_1	S_0	Status																																						
0	0	1	Memory write																																						
0	1	0	Memory read																																						
1	0	1	I/O write																																						
1	1	0	I/O read																																						
0	1	1	Opcode fetch																																						
1	1	1	Interrupt Acknowledge																																						
*	0	0	Halt																																						
*	X	X	Hold																																						
*	X	X	Reset																																						
\overline{RD} (Output, 3-state)	READ control: A low level on \overline{RD} indicates the selected memory or I/O device is to be read and that the Data Bus is available for the data transfer, 3-stated during Hold and Halt modes and during RESET.																																								
\overline{WR} (Output, 3-state)	WRITE control: A low level on \overline{WR} indicates the data on the Data Bus is to be written into the selected memory or I/O location. Data is set up at the trailing edge of \overline{WR} . 3-stated during Hold and Halt modes and during RESET.																																								

Symbol	Function
READY (Input)	If READY is high during a read or write cycle, it indicates that the memory or peripheral is ready to send or receive data. If READY is low, the CPU will wait an integral number of clock cycles for READY to go high before completing the read or write cycle.
HOLD (Input)	HOLD indicates that another master is requesting the use of the address and data buses. The CPU, upon receiving the hold request, will relinquish the use of the bus at the completion of the current bus transfer (internal processing can continue). The processor can regain the bus only after the HOLD is removed. When the HOLD is acknowledged, the Address, Data, \overline{RD} , \overline{WR} , and $\overline{IO/\overline{M}}$ lines are 3-stated.
HLDA (Output)	HOLD ACKNOWLEDGE: Indicates that the CPU has received the HOLD request and that it will relinquish the bus in the next clock cycle. HLDA goes low after the Hold request is removed. The CPU takes the bus one half clock cycle after HLDA goes low.
INTR (Input)	INTERRUPT REQUEST: is used as a general purpose interrupt. It is sampled only during the next to the last clock cycle of an instruction and during Hold and Halt states. If it is active, the Program Counter (PC) will be inhibited from incrementing and an \overline{INTA} will be issued. During this cycle a RESTART or CALL instruction can be inserted to jump to the interrupt service routine. The INTR is enabled and disabled by software. It is disabled by Reset and immediately after an interrupt is accepted.
\overline{INTA} (Output)	INTERRUPT ACKNOWLEDGE: is used instead of (and has the same timing as) \overline{RD} during the Instruction cycle after an INTR is accepted.
RST 5.5 RST 6.5 RST 7.5 (Inputs)	RESTART INTERRUPTS: These three inputs have the same timing as INTR except they cause an internal RESTART to be automatically inserted. The priority of these interrupts is ordered as shown in Table 1. These interrupts have a higher priority than INTR. In addition, they may be individually masked out using the SIM instruction.
TRAP (Input)	TRAP interrupt is a nonmaskable RESTART interrupt. It is recognized at the same time as INTR or RST 5.5 – 7.5. It is unaffected by any mask or Interrupt Enable. It has the highest priority of any interrupt. (See Table A-1.)
$\overline{RESET IN}$ (Input)	Sets the Program Counter to zero and resets the Interrupt Enable and HLDA flip-flops. The data and address buses and the control lines are 3-stated during RESET and because of the asynchronous nature of RESET, the processor's internal registers and flags may be altered by RESET with unpredictable results. $\overline{RESET IN}$ is a Schmitt-triggered input, allowing connection to an R-C network for power-on RESET delay. The CPU is held in the reset condition as long as $\overline{RESET IN}$ is applied.

RESET OUT (Output)	Indicates CPU is being reset. Can be used as a system reset. The signal is synchronized to the processor clock and lasts an integral number of clock periods.
X₁, X₂ (Input)	X ₁ and X ₂ are connected to a crystal, LC, or RC network to drive the internal clock generator. X ₁ can also be an external clock input from a logic gate. The input frequency is divided by 2 to give the processor's internal operating frequency.
CLK (Output)	Clock Output for use as a system clock. The period of CLK is twice the X ₁ , X ₂ input period.
SID (Input)	Serial input data line. The data on this line is loaded into accumulator bit 7 whenever a RIM instruction is executed.
SOD (Output)	Serial output data line. The output SOD is set or reset as specified by the SIM instruction.
Vcc	+5 volt supply.
GND	Ground Reference.

Name	Priority	Address Branched to (1) when Interrupt Occurs	Type Trigger
TRAP	1	24H	Rising edge AND high level until sampled.
RST7.5	2	3CH	Rising edge (latched).
RST6.5	3	34H	High level until sampled.
RST5.5	4	2CH	High level until sampled.
INTR	5	See Note (2)	High level until sampled.

Table A-1 80C85 Interrupt Priority, Restart Address and Sensitivity

Notes: (1) The processor pushes the PC on the stack before branching to the indicated address.

(2) The address branched to depends on the instruction provided to the CPU when the interrupt is acknowledged.

(b) 80C85 FUNCTIONAL DESCRIPTION

The 80C85 has twelve addressable 8-bit registers. Four of them can function only as two 16-bit register pairs. Six others can be used interchangeably as 8-bit registers or as 16-bit register pairs. The 80C85 register set is as follows:

Mnemonic	Register	Contents
ACC or A	Accumulator	8 bits
PC	Program Counter	16-bit address
BC, DE, HL	General-Purpose Registers: data pointer (HL)	8 bits x 6 or 16 bits x 3
SP	Stack Pointer	16-bit address
Flags or F	Flag Register	5 flags (8-bit space)

The 80C85 uses a multiplexed Data Bus. The address is split between the higher 8-bit Address Bus and the lower 8-bit Address/Data Bus. During the first T state (clock cycle) of a machine cycle the low order address is sent out on the Address/Data bus. These lower 8 bits may be latched externally by the Address Latch Enable signal (ALE). During the rest of the machine cycle the data bus is used for memory or I/O data.

The 80C85 provides \overline{RD} , \overline{WR} , S_0 , S_1 , and IO/\overline{M} signals for bus control. An interrupt Acknowledge signal (\overline{INTA}) is also provided. HOLD, READY, and all interrupts are synchronized with the processor's internal clock. The 80C85 also provides Serial Input Data (SID) and Serial Output Data (SOD) lines for simple serial interface.

In addition to these features, the 80C85 has three maskable, vector interrupt pins and one nonmaskable TRAP interrupt.

(c) 80C85 INTERRUPT AND SERIAL I/O

The 80C85 has 5 interrupt inputs: INTR, RST5.5, RST6.5, RST7.5, and TRAP. INTR is identical in function to the 8080A INT. Each of the three RESTART inputs, 5.5, 6.5, and 7.5, has a programmable mask. TRAP is also a RESTART interrupt but it is nonmaskable.

The three maskable interrupts cause the internal execution of RESTART (saving the program counter in the stack and branching to the RESTART address) if the interrupts are enabled and if the interrupt mask is not set. The nonmaskable TRAP causes the internal execution of a RESTART vector independent of the state of the interrupt enable or masks. (See Table A-1.)

There are two different types of inputs in the restart interrupts. RST5.5 and RST6.5 are *high level-sensitive* like INTR (and INT on the 8080) and are recognized with the same timing as INTR. RST7.5 is *rising edge-sensitive*.

For RST7.5, only a pulse is required to set an internal flip-flop which generates the internal interrupt request. The RST7.5 request flip-flop remains set until the request is serviced.

Then it is reset automatically. This flip-flop may also be reset by using the SIM instruction or by issuing a $\overline{\text{RESET IN}}$ to the 80C85. The RST7.5 internal flip-flop will be set by a pulse on the RST7.5 pin even when the RST7.5 interrupt is masked out.

The status of the three RST interrupt masks can only be affected by the SIM instruction and $\overline{\text{RESET IN}}$.

The interrupts are arranged in a fixed priority that determines which interrupt is to be recognized if more than one is pending as follows: TRAP – highest priority, RST7.5, RST6.5, RST5.5, INTR – lowest priority. This priority scheme does not take into account the priority of a routine that was started by a higher priority interrupt. RST5.5 can interrupt an RST7.5 routine if the interrupts are re-enabled before the end of the RST7.5 routine.

The TRAP interrupt is useful for catastrophic events such as power failure or bus error. The TRAP input is recognized just as any other interrupt but has the highest priority. It is not affected by any flag or mask. The TRAP input is both edge and level sensitive. The TRAP input must go high and remain high until it is acknowledged. It will not be recognized again until it goes low, then high again. This avoids any false triggering due to noise or logic glitches. Fig. C-3 illustrates the TRAP interrupt request circuitry within the 80C85. Note that the servicing of any interrupt (TRAP, RST7.5, RST6.5, RST5.5, INTR) disables all future interrupts (except TRAPs) until an EI instruction is executed.

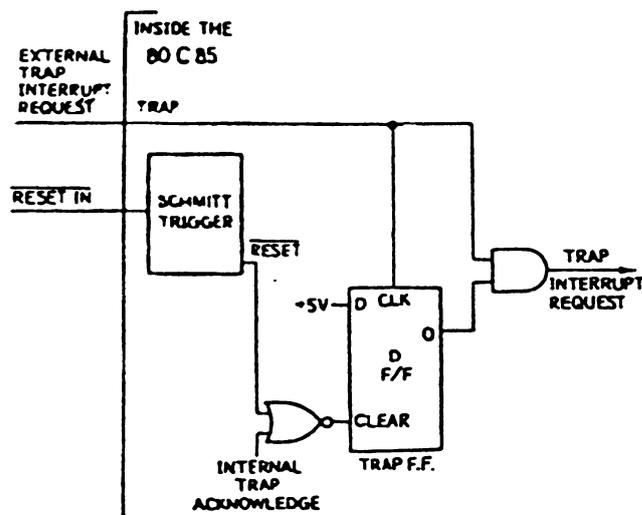


Fig. A-3 80C85 TRAP and RESET in Circuit

The TRAP interrupt is special in that it disables interrupts, but preserves the previous interrupt enable status. Performing the first RIM instruction following a TRAP interrupt allows you to determine whether interrupts were enabled or disabled prior to the TRAP. All subsequent RIM instructions provide current interrupt enable status. Performing a RIM instruction following INTR, or RST5.5–7.5 will provide current interrupt Enable status, revealing that Interrupts are disabled.

The serial I/O system is also controlled by the RIM and SIM instructions. SID is ready by RIM, and SIM sets the SOD data.

(e) BASIC SYSTEM TIMING

The 80C85 has a multiplexed Data Bus. ALE is used as a strobe to sample the lower 8-bits of address on the Data Bus. Fig. A-4 shows an instruction fetch, memory read and I/O write cycle (as would occur during processing of the OUT instruction). Note that during the I/O write and read cycle that the I/O port address is copied on both the upper and lower half of the address.

There are seven possible types of machine cycles. Which of these seven takes place is defined by the status of the three status lines ($\overline{IO/\overline{M}}$, S_1 , S_0) and the three control signals (\overline{RD} , \overline{WR} , and \overline{INTA}). (See Table A-2.) The status lines can be used as advanced controls (for device selection, for example), since they become active at the T_1 state, at the outset of each machine cycle. Control lines \overline{RD} and \overline{WR} become active later, at the time when the transfer of data is to take place, so are used as command lines.

A machine cycle normally consists of three T states, with the exception of OP CODE FETCH, which normally has either four or six T states (unless WAIT or HOLD states are forced by the receipt of READY or HOLD inputs). Any T state must be one of ten possible states, shown in Table A-3.

MACHINE CYCLE		STATUS			CONTROL		
		$\overline{IO/\overline{M}}$	S_1	S_0	\overline{RD}	\overline{WR}	\overline{INTA}
OPCODE FETCH	(OF)	0	1	1	0	1	1
MEMORY READ	(MR)	0	1	0	0	1	1
MEMORY WRITE	(MW)	0	0	1	1	0	1
I/O READ	(IOR)	1	1	0	0	1	1
I/O WRITE	(IOW)	1	0	1	1	0	1
ACKNOWLEDGE of INTR	(INA)	1	1	1	1	1	0
BUS IDLE (BI):	DAD	0	1	0	1	1	1
	ACK, of RST, TRAP	1	1	1	1	1	1
	HALT	TS	0	0	TS	TS	1

Table A-2 80C85 Machine Cycle Chart

Machine State	Status & Buses				Control		
	S_1, S_0	$\overline{IO/\overline{M}}$	A_8-A_{15}	AD_0-AD_7	$\overline{RD}, \overline{WR}$	\overline{INTA}	ALE
T_1	X	X	X	X	1	1	1*
T_2	X	X	X	X	X	X	0
T_{WAIT}	X	X	X	X	X	X	0
T_3	X	X	X	X	X	X	0
T_4	1	0†	X	TS	1	1	0
T_5	1	0†	X	TS	1	1	0
T_6	1	0†	X	TS	1	1	0
T_{RESET}	X	TS	TS	TS	TS	1	0
T_{HALT}	0	TS	TS	TS	TS	1	0
T_{HOLD}	X	TS	TS	TS	TS	1	0

* ALE not generated during 2nd and 3rd machine cycles of DAD instruction.
† $\overline{IO/\overline{M}} = 1$ during $T_4 - T_6$ of INA machine cycle.

Table A-3 80C85 Machine State Chart

0 = Logic "0" TS = High Impedance
1 = Logic "1" X = Unspecified

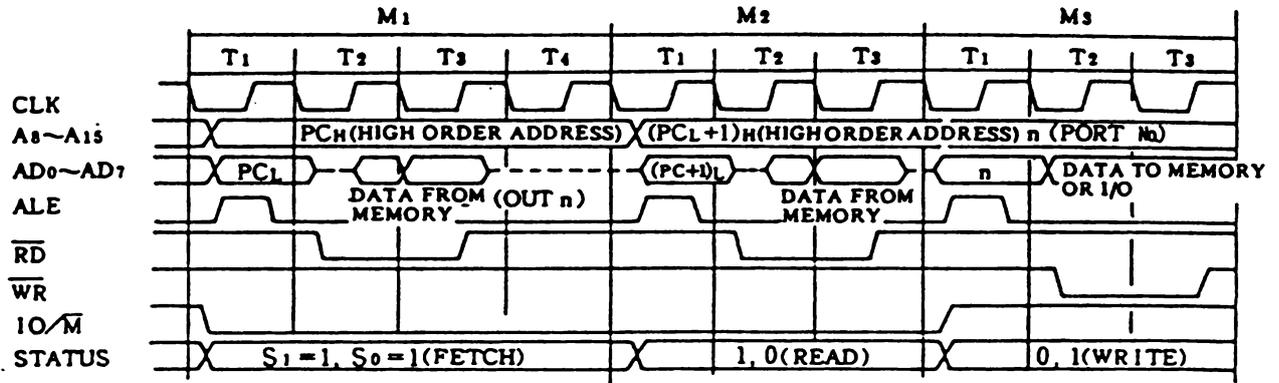


Fig. A-4 80C85 Basic System Timing

Ambient Temperature Under Bias	-40°C to +85°C
Storage Temperature	-55°C to +150°C
Voltage on Any Pin with Respect to Ground	-0.5V to +7V
Power Dissipation	1.0 Watt

Table A-4 80C85 Absolute Maximum Ratings

(e) 80C85 WAVEFORM

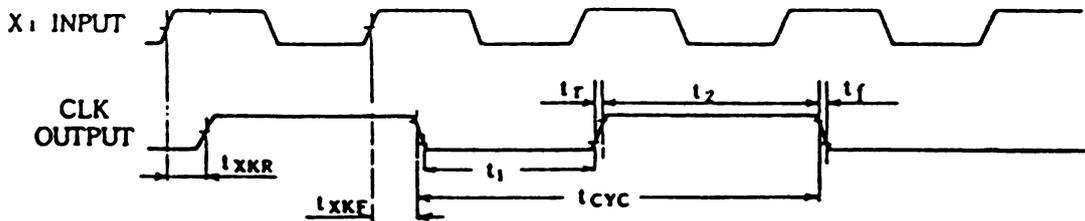
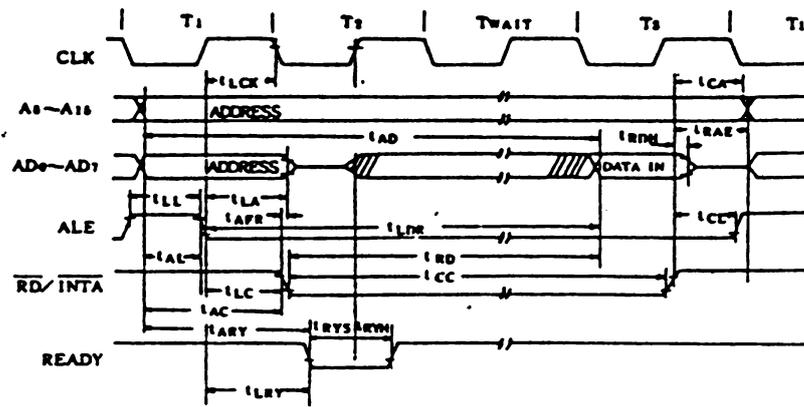
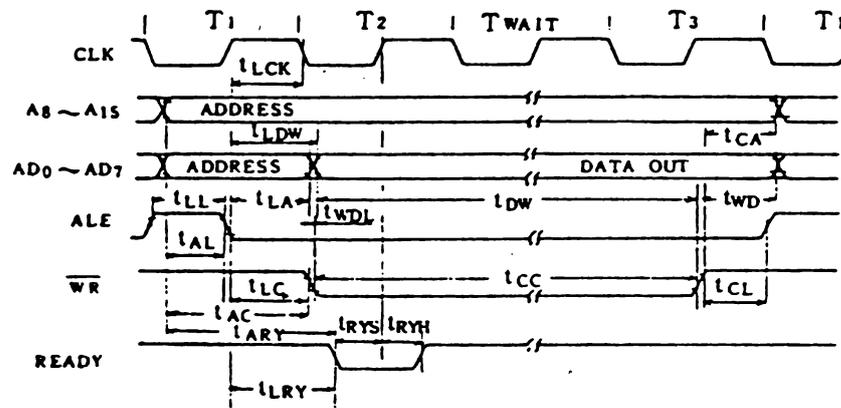


Fig. A-5 80C85 Clock Timing Waveform

Read Operation



Write Operation



Read operation with Wait Cycle (Typical) – same READY timing applies to WRITE operation

Fig. A-6 80C85 BUS Timing

Hold Operation

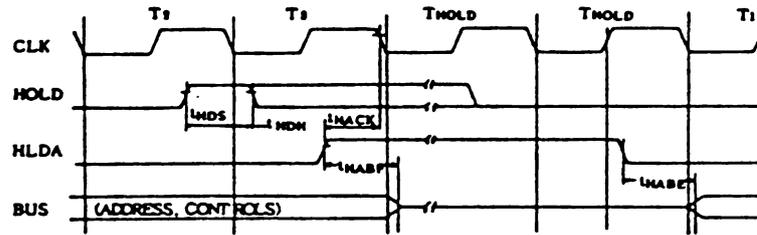
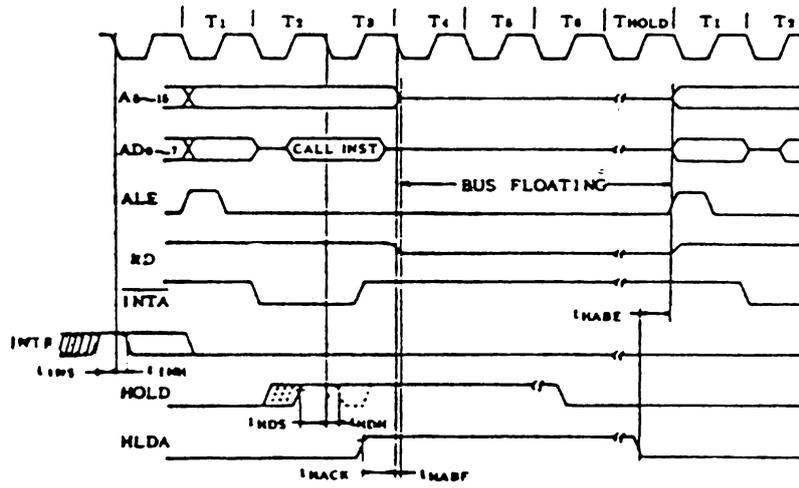


Fig.A-7 80C85 Hold Timing



IO/M is also floating during this time.

Fig. A-8 80C85 Interrupt and Hold Timing

A 2 MSM81C55RS (PIO)

C-MOS, 2048-bit STATIC RAM with I/O PORTS and TIMER

The I/O portion consists of three general purpose I/O ports. One of the three ports can be programmed to be status pins, allowing the other two ports to operate in handshake mode.

A 14-bit programmable counter/timer is also included on the chip to provide either a square wave or terminal count pulse for the CPU system, depending on the timer mode.

The 81C55 RAM is not used in the MODEL 100. A timer/counter is used as the clock generator necessary for communication and to generate the melody.

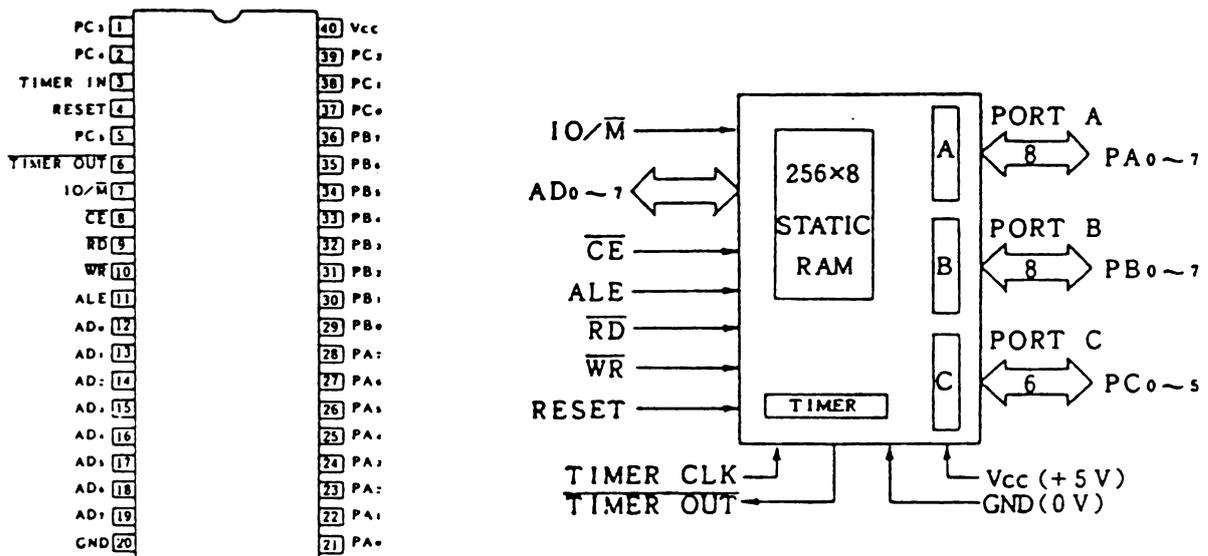


Fig. A-9 81C55 Pin Configuration and Block Diagram

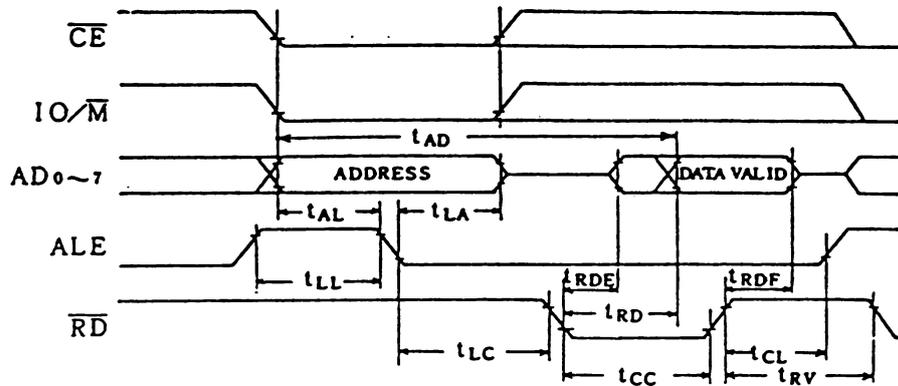
(a) 81C55 PIN FUNCTIONS

Symbol	Function
RESET (Input)	Pulse provided by the 80C85 to initialize the system (connect to 80C85 RESET OUT). Input high on this line resets the chip and initializes the three I/O ports to input mode. The width of RESET pulse should typically be two 80C85 clock cycle times.
AD ₀₋₇ (Input)	3-state Address/Data lines that interface with the CPU lower 8-bit Address/Data Bus. The 8-bit address is latched into the address latch inside the 81C55 on the falling edge of ALE. The address can be either for the memory section or the I/O section depending on the IO/M input. The 8-bit data is either written into the chip or read from the chip, depending on the WR or RD input signal.
CE (Input)	Chip Enable: CE is ACTIVE LOW.

Symbol	Function
\overline{RD} (Input)	Read control: Input low on this line with the Chip Enable active enables and AD_{0-7} buffers. If IO/\overline{M} pin is low, the RAM content will be read out to the AD bus. Otherwise the content of the selected I/O port or command/status registers will be read to the AD bus.
\overline{WR} (Input)	Write control: Input low on this line with the Chip Enable active causes the data on the Address/Data bus to be written to the RAM or I/O ports and command/status register depending on IO/\overline{M} .
ALE	Address Latch Enable: This control signal latches both the address on the AD_{0-7} lines and the state of the Chip Enable and IO/\overline{M} into the chip at the falling edge of ALE.
IO/\overline{M} (Input)	Selects memory if low and I/O and command/status registers if high.
PA_{0-7} (8) (Input/Output)	These 8 pins are general purpose I/O pins. The in/out direction is selected by programming the command register.
PB_{0-7} (8)	These 8 pins are general purpose I/O pins. The in/out direction is selected by programming the command register.
PC_{0-5} (6) (Input/Output)	These 6 pins can function as either input port, output port, or as control signals for PA and PB. Programming is done through the command register. When PC_{0-5} are used as control signals, they will provide the following: PC_0 – A INTR (Port A Interrupt) PC_1 – ABF (Port A Buffer Full) PC_2 – $\overline{A STB}$ (Port A Strobe) PC_3 – B INTR (Port B Interrupt) PC_4 – $\overline{B BF}$ (Port B Buffer Full) PC_5 – B STB (Port B Strobe)
TIME IN (Input)	Input to the counter-timer.
$\overline{TIMER OUT}$ (Output)	Timer output. This output can be either a square wave or a pulse depending on the timer mode.
Vcc	+5 volt supply.
GND	Ground Reference.

(b) 81C55 WAVEFORM

a. Read Cycle



b. Write Cycle

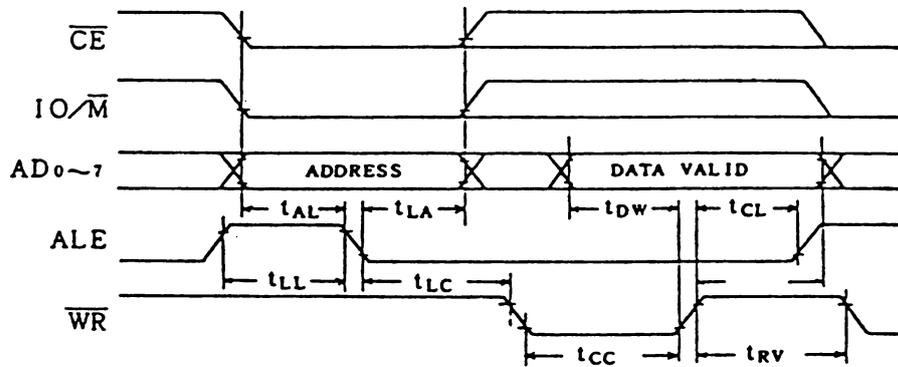
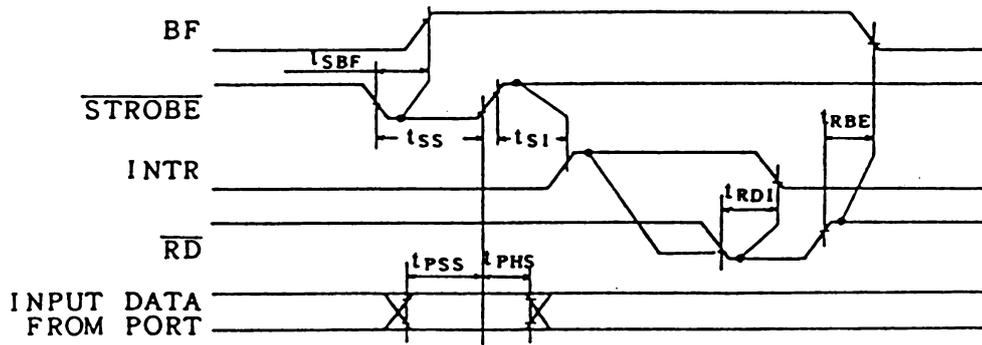


Fig. A-10 81C55 Read/Write Timing Diagrams

a. Strobed Input Mode



b. Strobed Output Mode

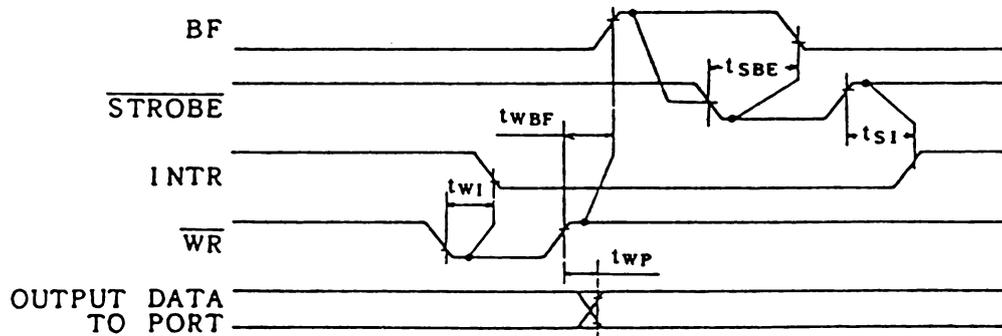
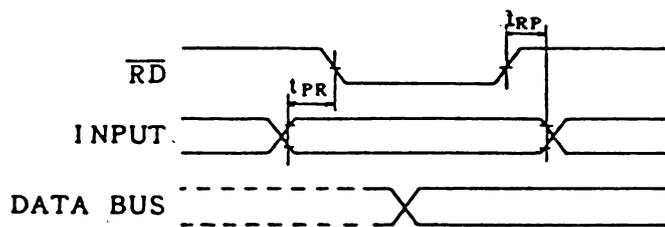


Fig. A-11 81C55 Strobed I/O Timing

a. Basic Input Mode



b. Basic Output Mode

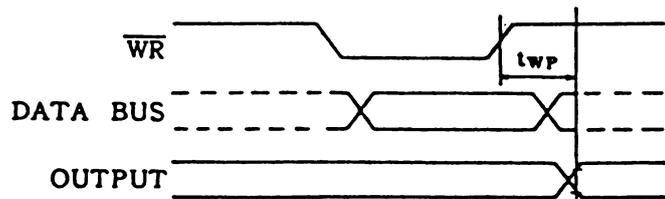
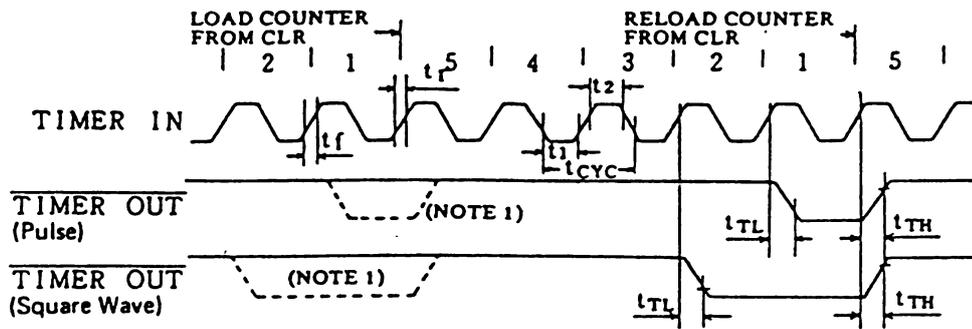


Fig. A-12 81C55 Basic I/O Timing



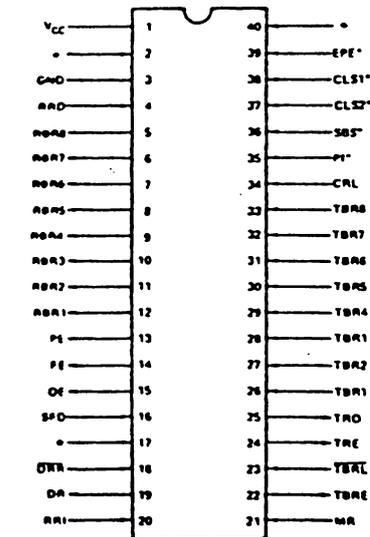
NOTE 1. The timer output is periodic if in an automatic reload mode (M1 MODE BIT = 1)

Fig. A-13 81C55 Timer Output Waveform Countdown from 5 to 1

A.3 IM6402 (UART)

The IM6402 is a CMOS/LSI subsystem for interfacing computers or microprocessors to an asynchronous serial data channel. The receiver converts serial start, data, parity and stop bits to parallel data verifying proper code transmission, parity, and stop bits. The transmitter converts parallel data into serial form and automatically adds start, parity, and stop bits. The data word length can be 5, 6, 7 or 8 bits. Parity may be odd or even. Parity checking and generation can be inhibited. The stop bits may be one or two, or one and one-half when transmitting 5 bit code.

The IM6402 can be used in a wide range of applications including modems, printers, peripherals and remote data acquisition systems. CMOS/LSI technology permits operation clock frequencies up to 2.0 MHz (125K Baud) an improvement of 10 to 1 over previous PMOS UART designs. Power requirements, by comparison, are reduced from 300 mW to 10 mW. Status logic increases flexibility and simplifies the user interface.



* Shown in Table A-5

CONTROL WORD					DATA BITS	PARITY BIT	STOP BIT(S)
CLS2	CLS1	PI	EPE	SBS			
L	L	L	L	L	5	ODD	1
L	L	L	L	H	5	ODD	1.5
L	L	L	H	L	5	EVEN	1
L	L	L	H	H	5	EVEN	1.5
L	L	H	X	L	5	DISABLED	1
L	L	H	X	H	5	DISABLED	1.5
L	H	L	L	L	6	ODD	1
L	H	L	L	H	6	ODD	2
L	H	L	H	L	6	EVEN	1
L	H	L	H	H	6	EVEN	2
L	H	H	X	L	6	DISABLED	1
L	H	H	X	H	6	DISABLED	2
H	L	L	L	L	7	ODD	1
H	L	L	L	H	7	ODD	2
H	L	L	H	L	7	EVEN	1
H	L	L	H	H	7	EVEN	2
H	L	H	X	L	7	DISABLED	1
H	L	H	X	H	7	DISABLED	2
H	H	L	L	L	8	ODD	1
H	H	L	L	H	8	ODD	2
H	H	L	H	L	8	EVEN	1
H	H	L	H	H	8	EVEN	2
H	H	H	X	L	8	DISABLED	1
H	H	H	X	H	8	DISABLED	2

X = Don't Care

Fig. A-14 IM6402 Pin Layout

Table A-5 IM6402 Control Word Format

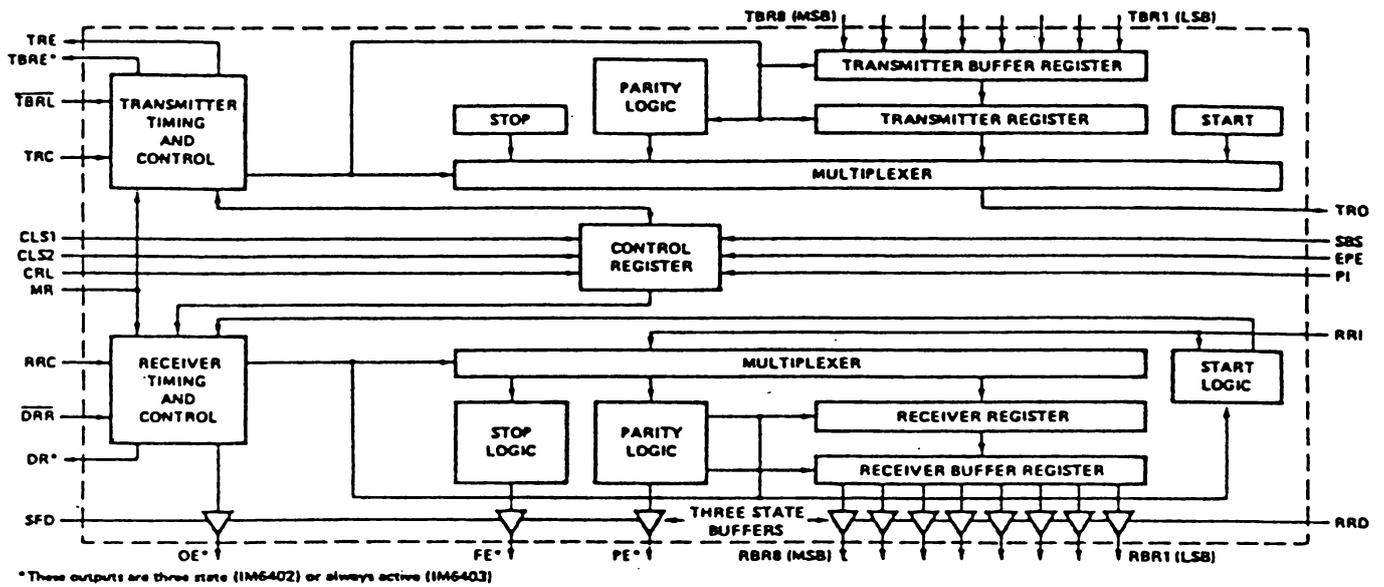


Fig.A-15 IM6402 Functional Block Diagram

IM6402 Pin Functions

Symbol	Description
Vcc	Positive Voltage Supply
NC	No Connection
GND	Ground
RRD	A high level on RECEIVER REGISTER DISABLE forces the receiver holding outputs RBR1—RBR8 to a high impedance state.
RBR8	The contents of the RECEIVER BUFFER REGISTER appear on these three-state outputs. Word formats less than 8 characters are right justified to RBR1.
RBR7	See Pin 5-RBR8
RBR6	See Pin 5-RBR8
RBR5	See Pin 5-RBR8
RBR4	See Pin 5-RBR8
RBR3	See Pin 5-RBR8

Symbol	Function
RBR2	See Pin 5-RBR8
RBR1	See Pin 5-RBR8
PE	A high level on PARITY ERROR indicates received parity does not match parity programmed by control bits. When parity is inhibited this output is low.
FE	A high level on FRAMING ERROR indicates the first stop bit was invalid.
OE	A high level on OVERRUN ERROR indicates the data received flag was not cleared before the last character was transferred to the received buffer register.
SFD	A high level on STATUS FLAGS DISABLE forces the outputs PE, FE, OE, DR, TBRE to a high impedance state.
RRC	The RECEIVER REGISTER CLOCK is 16X the receiver data rate.
DRR	A low level on DATA RECEIVED RESET clears the data received output DR to a low level.
DR	A high level on DATA RECEIVED indicates a character has been received and transferred to the receiver buffer register.
RRI	Serial data on RECEIVER REGISTER INPUT is clocked into the receiver register.
MR	A high level on MASTER RESET clears PE, FE, OE, and DR to a low level and sets the transmitter output to a high level after 18 clock cycles. MR does not clear the receiver buffer register. This input must be pulsed at least once after power up.
TBRE	A high level on TRANSMITTER BUFFER REGISTER EMPTY indicates the transmitter buffer register has transferred its data to the transmitter register and is ready for new data.
TBRL	A low level on TRANSMITTER BUFFER REGISTER LOAD transfers data from inputs TBR1–TBR8 into the transmitter buffer register. A low to high transition on TBRL indicates data transfer to the transmitter register is busy, transfer is automatically delayed so that the two characters are transmitted end to end.
TRE	A high level on TRANSMITTER REGISTER EMPTY indicates completed transmission of a character including stop bits.

Symbol	Function
TRO	Character data, start data and stop bits appear serially at the TRANSMITTER REGISTER OUTPUT.
TBR1	Character data is loaded into the TRANSMITTER BUFFER REGISTER via inputs TBR1—TBR8. For character formats less than 8 bits the TBR8, 7 and 6 inputs are ignored corresponding to the programmed word length.
TBR2	See Pin 26-TBR1
TBR3	See Pin 26-TBR1
TBR4	See Pin 26-TBR1
TBR5	See Pin 26-TBR1
TBR6	See Pin 26-TBR1
TBR7	See Pin 26-TBR1
TBR8	See Pin 26-TBR1
CRL	A high level on CONTROL REGISTER LOAD loads the control register.
PI	A high level on PARITY INHIBIT inhibits parity generation. Parity checking and forces PE output low.
SBS	A high level on STOP BIT SELECT selects 1.5 stop bits for 5 character format and 2 stop bits for other lengths.
CLS2	These inputs program the CHARACTER LENGTH SELECTED (CLS1 low CLS2 low 5 bits) (CLS1 high CLS2 low 6 bits) (CLS1 low CLS2 high 7 bits) (CLS1 high CLS2 high 8 bits).
CLS1	See Pin 37-CLS2.
EPE	When P1 is low, a high level on EVEN PARITY ENABLE generates and checks even parity. A low level selects odd parity.
TRC	The TRANSMITTER REGISTER CLOCK is 16X the transmit data rate.

A.4 μ PD1990AC (TIMER)

The μ PD1990AC is a C-MOS integrated circuit with a clock function which has been designed for connection to a microcomputer.

This IC independently measures the month, date, day of the week, hour, minute and second, and will output and input these time data freely upon command from the microprocessor. By employing this IC, the microprocessor is free from performing clock functions and can be devoted exclusively to other complex operations.

The μ PD1990AC employs the oscillation of a 32.768 kHz crystal as a reference. All functions are enclosed in a 14-pin dual in-line package.

(a) Features

- Marks time (hours, minutes & seconds) and calendar (months, date and day of the week).
- Serial inputting and outputting of data. (Input & output code: All digits are binary coded decimals, except the month, which is a hexadecimal code.)
- The reference frequency is 32.768 kHz, which is generated by a crystal oscillator circuit.
- Provided with timing pulse outputs. (Selection of 64 Hz, 256 Hz or 2048 Hz is possible.)
- By using the CS (chip selection) terminal, multi-chip applications are possible.

(b) Function specifications

- Reference frequency (Xtal osc.)
32.768 kHz
- Data
Hours, minutes, seconds, months, date and days of the week ("hours" by 24 hour system) (automatic adjustment of long and short months)
- Data input-output and clock
Serial input, serial output
Data input and output in synchronization with the clock input from CLK.
- Time pulse output
Either 64 Hz, 256 Hz or 2048 Hz can be selected by command.
- Mode selection
Selected according to input to $C_0 - C_2$.
 $C_2 = 0$ Register control (control of data input-output)
 $C_2 = 1$ TP control (control of time pulses) & test control (control of test mode).
Commands are latched by the STB (strobe) input
- Chip select
CLK and STB inputs prohibited by CS input
- Prohibition of data output
DATA OUT terminal will become high impedance when the OUT ENABL is input. Has no relation with other actions.

(c) Terminals

- Input terminals

DATA IN	Data input of 40-bit shift register
CLK	Shift clock input of 40-bit shift register
$C_0 - C_2$	Command input (3 bit)
STB	Strobe input

- CS Chip select input (Prohibits CLS & STB)
- OUT ENBL Output control input
(Makes the DATA OUT high impedance by inputting low level)
- Output terminals
- DATA OUT Data output of 40-bit shift register
- TP Time pulse output
- Oscillation terminals
- XTAL 1 Oscillation inverter input (OSC IN)
- XTAL 2 Oscillation inverter output (OSC OUT)
- Power supply terminals
- VDD Plus power supply
- GND (V_{ss}) Common line

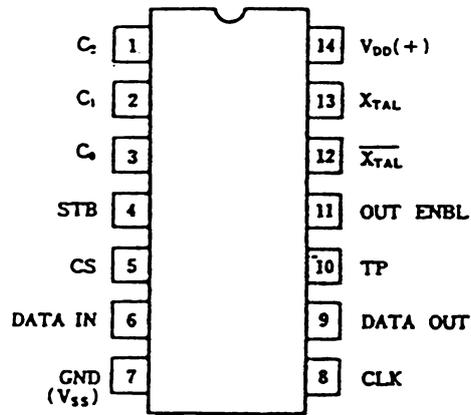


Fig.A-16 μ PD1990AC Pin Layout

(d) Block Diagram

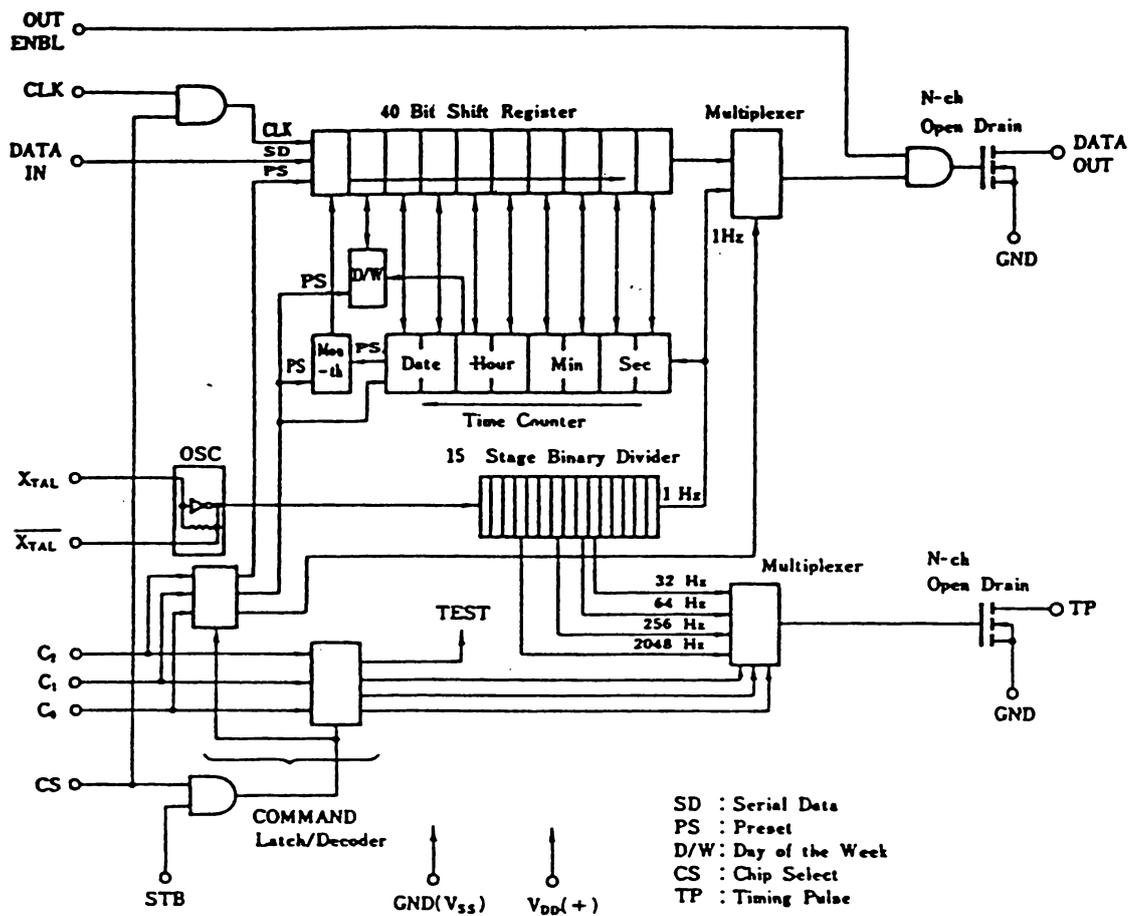


Fig.A-17 $\mu\text{PD1990AC}$ Block Diagram

put Timing Diagram

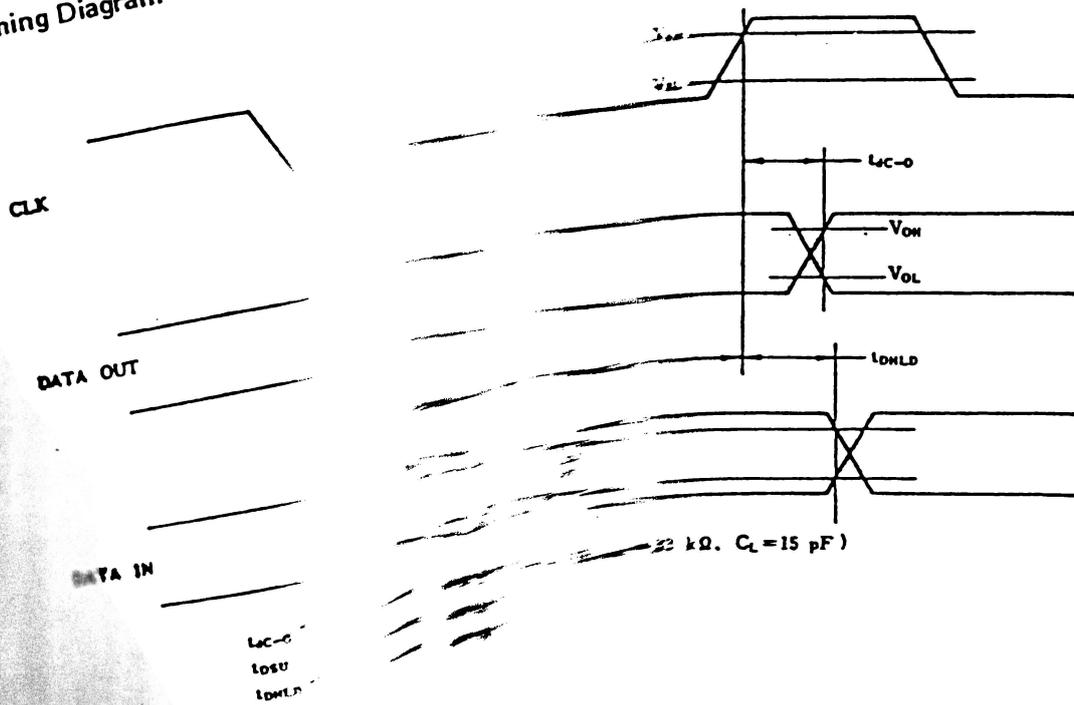


Fig. C-18

and Input Timing Diagram

written into the latch when the STB terminal becomes
of the same group is written-in.

(f) Data Input/Output Timing Diagram

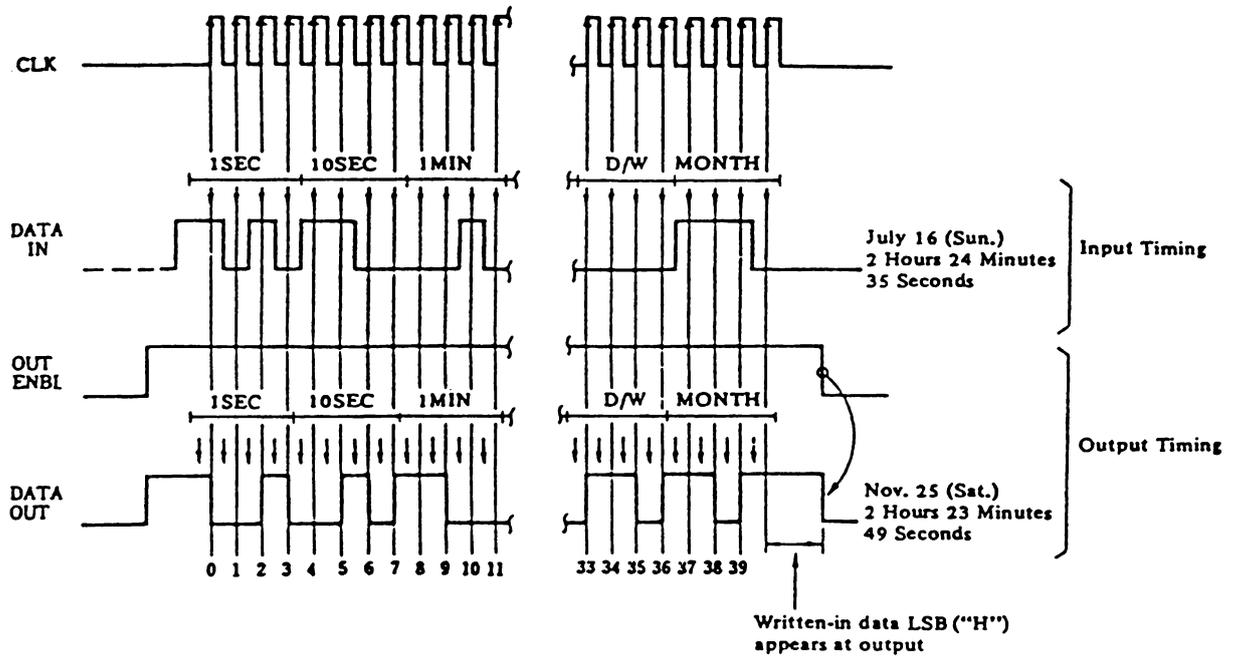


Fig.A.19 μ PD1990AC Data Input/Output Timing Diagram

A.5 MC14412 (MODEM)

Fig. C-22 shows the MODEM in a system application. The data to be transmitted is presented in serial format to the modulator for conversion to FSK signals for transmission over the telephone network. The modulator output is buffered/amplified before dividing the 600 ohm telephone line.

The FSK signal from the remote MODEM is received via the telephone line and filtered to remove extraneous signals such as the local Transmit Carrier. This filtering can be either a bandpass which passes only the desired band of frequencies or a notch which rejects the known interfering signal. The desired signal is then limited to preserve the axis crossings and fed to the demodulator where the data is recovered from the received FSK carrier.

Pin Functions

Symbol	Function
TYPE	The Type input selects either the U.S. or C.C.I.T.T. operational frequencies for both transmitting and receiving data. When the Type input = "1", the U.S. standard is selected and when the Type input = "0", the C.C.I.T.T. standard is selected.
Tx Data	Transmit Data is the binary information input. Data entered for transmission is modulated using FSK techniques. When operating the U.S. standard (TYPE = "1") a logic "1" input level represents a Mark or when operating in the C.C.I.T.T. standard (TYPE = "0") a logic "1" input level represents a Mark.
Tx Car	The Transmit Carrier is a digital-synthesized sine wave derived from a 1.0 MHz oscillator reference. The frequency characteristics are as follows:

United States Standard		TYPE = "1"
Transmit Frequency		ECHO = "0"
Mode	Tx Data	Tx Car
Originate "1"	Mark "1"	1270 Hz
Originate "1"	Space "0"	1070 Hz
Answer "0"	Mark "1"	2225 Hz
Answer "0"	Space "0"	2025 Hz
C.C.I.T.T. Standard		TYPE = "0"
Transmit Frequency		ECHO = "0"
Mode	Tx Data	Tx Car
Channel "1"	Mark "1"	980 Hz
No. 1 "1"	Space "0"	1180 Hz
Channel "0"	Mark "1"	1650 Hz
No. 2 "0"	Space "0"	1850 Hz
Echo Suppressor		TYPE = "0"
Disable Tone		ECHO = "1"
Mode	Tx Data	Tx Car
Chan. No. 2 "0"	"1"	2100 Hz

Symbol	Function												
Tx Enable	The transmit carrier output is enabled when the Tx Enable input = "1". No output tone can be transmitted when Tx enable = "0".												
MODE	The Mode input selects the pair of transmitting and receive frequencies used during modulation and demodulation. When mode = "1", the U.S. originate mode is selected (Type input = "1") or the C.C.I.T.T. channel No. 1 (Type = "0"). When Mode = "0", the U.S. answer mode is selected (Type = "1") or the C.C.I.T.T. channel No. 2 (type input = "0").												
ECHO	When the Echo input = "1" (Type = "0", Mode = "0", Tx Data = "1") the demodulator will transmit a 2100 Hz tone for the disabling line echo suppressors. During normal data transmission, this input should be low = "0".												
Rx Data	The Receive Data output is the digital data resulting from demodulating the Receive Carrier.												
Rx Car	The Receive Carrier is the FSK input to the demodulator. This input must have either CMOS or TTL compatible logic level input (see TTL pull up disable) at a duty cycle of 50% ± 4%, that is a square wave resulting from a signal limiter.												
Rx Rate	The demodulator has been optimized for signal to noise performance at 200, 300, and 600 bps. The Receive Carrier must change frequency for more than half of the selected data rate period before the Receive Data output will change. <table border="0" style="margin-left: 40px;"> <thead> <tr> <th>Data Rate</th> <th>Rx rate</th> <th>Type</th> </tr> </thead> <tbody> <tr> <td>0–200 bps</td> <td>"1"</td> <td>"0"</td> </tr> <tr> <td>0–300 bps</td> <td>"1"</td> <td>"1"</td> </tr> <tr> <td>0–600 bps</td> <td>"0"</td> <td>"1"</td> </tr> </tbody> </table>	Data Rate	Rx rate	Type	0–200 bps	"1"	"0"	0–300 bps	"1"	"1"	0–600 bps	"0"	"1"
Data Rate	Rx rate	Type											
0–200 bps	"1"	"0"											
0–300 bps	"1"	"1"											
0–600 bps	"0"	"1"											
SELF TEST	When a high level (ST = "1") is placed on this input, the demodulator is switched to the modulator frequency.												
Reset	This input is provided to decrease the test time of the chip. In normal operation, this input may be used to disable the demodulator (Reset = "1") – otherwise it should be tied low = "0".												
Osc in, Osc out	A 1.0 MHz crystal is required to utilize the on chip oscillator. A 1.0 MHz square wave clock can also be applied to the Osc in input to satisfy the clock requirement. When utilizing the 1.0 MHz crystal, external parastic capacitance, including crystal shunt capacitance, must be < 9 pF at the crystal input.												

TTL

To improve TTL interface compatibility, all of the inputs to the MODEM have controllable P-channel devices which act as pull-up resistors when TTL input is low ("0"). When the input is taken high ("1") the pull up is disabled, thus reducing power dissipation when interfacing with CMOS.

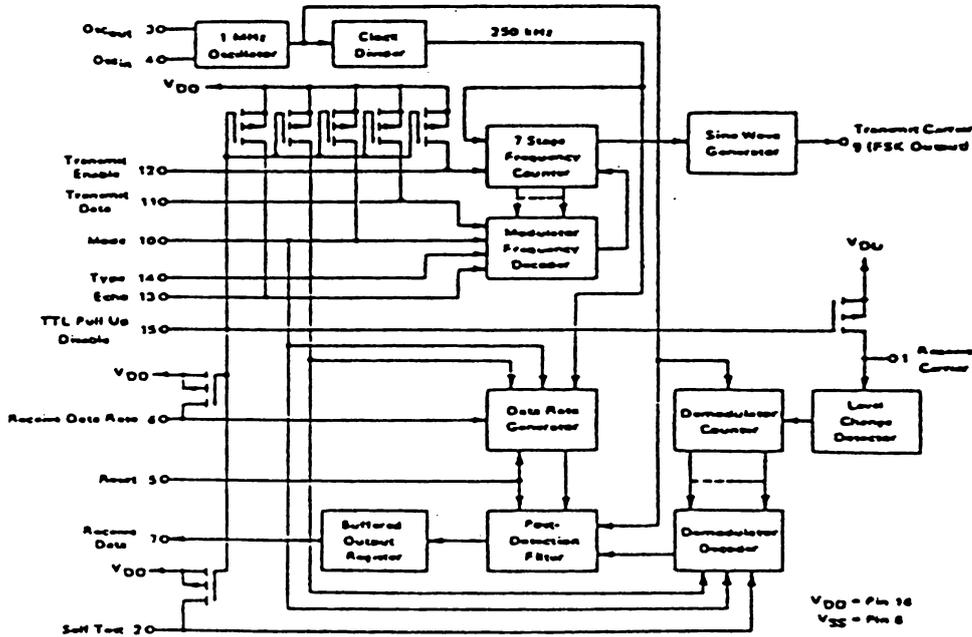


Fig. A-20 MC14412 System Block Diagram

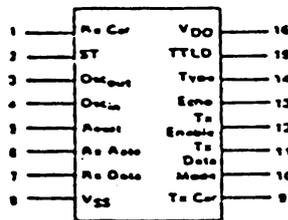


Fig. A-21 MC14412 Pin Layout

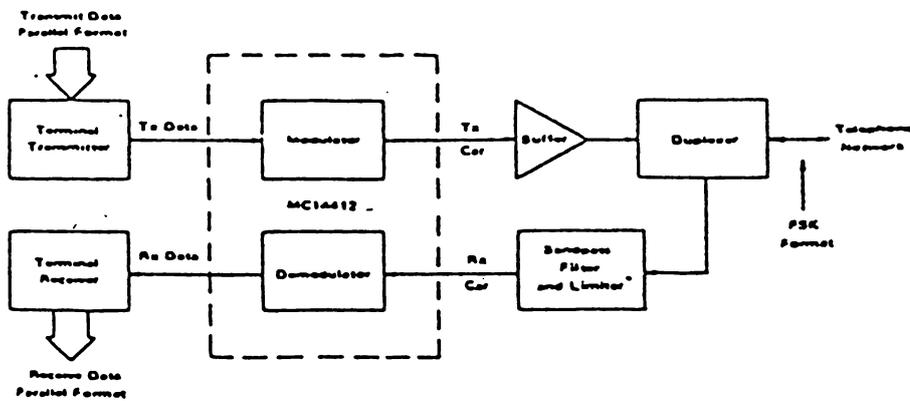


Fig. A-22 MC14412 Application Diagram

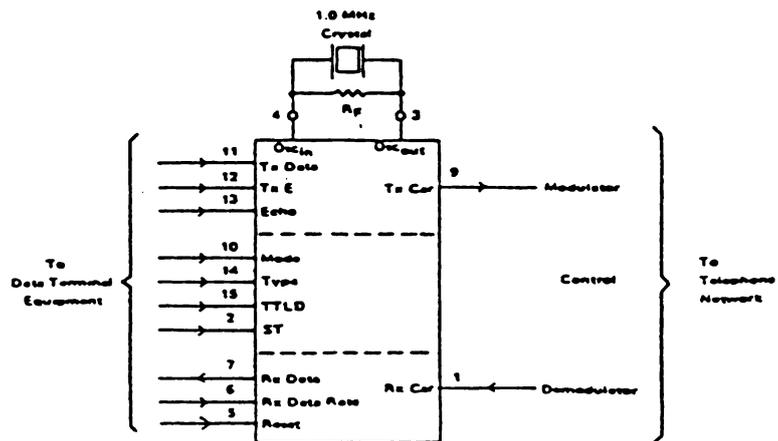


Fig. A-23 MC14412 Input Output Signals

MIO PORTABLE COMPUTER

*Catalogo parti di ricambio/Spare parts catalogue
Raccolta schemi/Schematics*



olivetti

MIO PORTABLE COMPUTER

*Catalogo parti di ricambio/Spare parts catalogue
Raccolta schemi/Schematics*



NOTA: Il CATALOGO PARTI DI RICAMBIO è l'unico documento al quale fare riferimento per ordinare le parti alla GESTIONE RICAMBI.
Codici indicati su altre documentazioni non sono fornibili.

NOTE: The SPARE PARTS CATALOGUE is the sole reference document for ordering the spare parts from GESTIONE RICAMBI.
Other part numbers reported in different documentation are not delivered.

olivetti

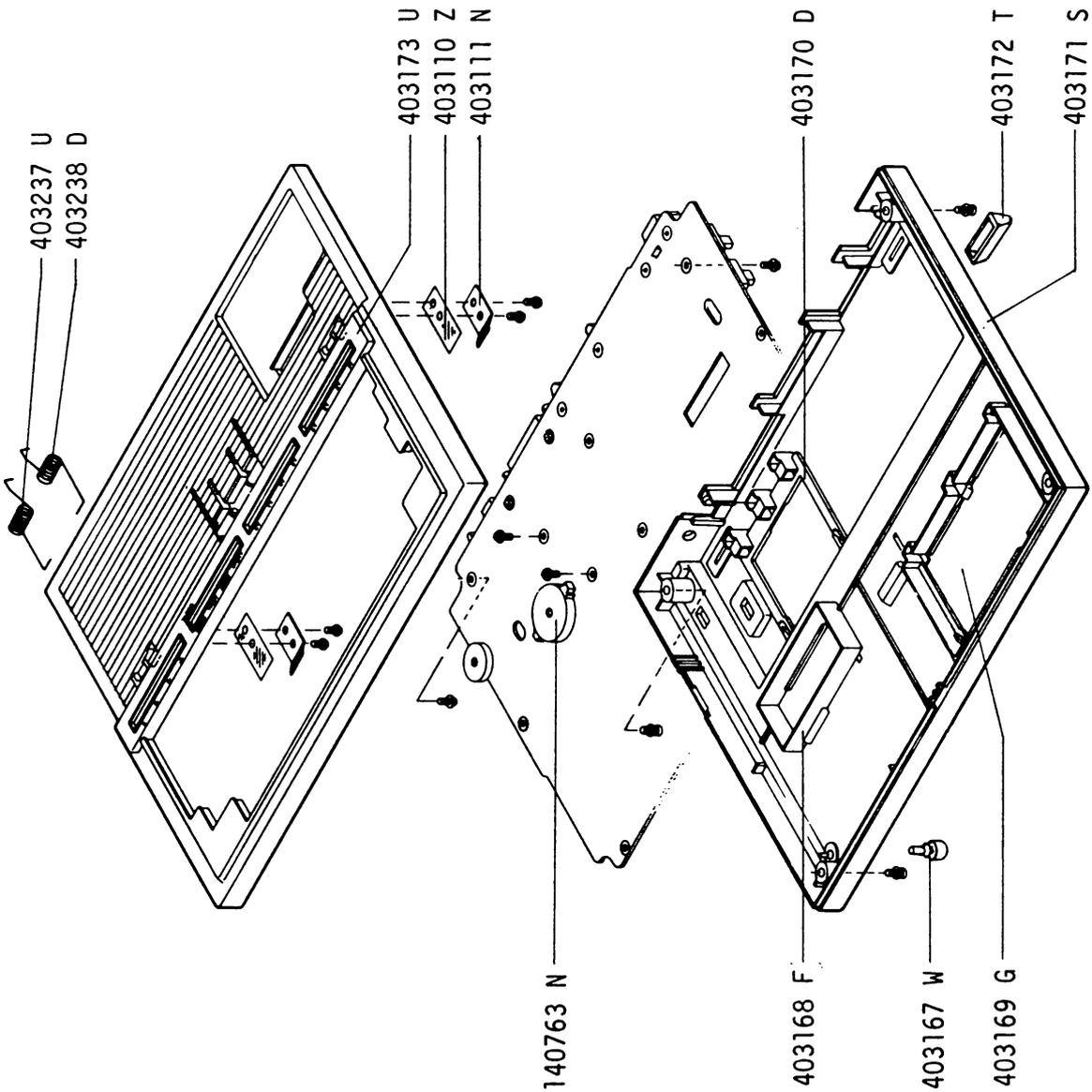
INDICE

INDEX

	PAG.		PAGE
CATALOGO PARTI DI RICAMBIO	1-1	SPARE PARTS CATALOGUE	1-1
GRUPPO CARROZZERIA	1-3	CASE UNIT	1-3
CONTENITORE BATTERIE	1-4	BATTERY BOX	1-4
GRUPPO DISPLAY	1-5	DISPLAY UNIT	1-5
TASTIERA	1-6	KEYBOARD	1-6
LAYOUT TASTIERA ITALIA	1-8	ITALY KEYBOARD LAYOUT	1-8
LAYOUT TASTIERA USA	1-10	USA KEYBOARD LAYOUT	1-10
LAYOUT TASTIERA GERMANIA	1-12	GERMANY KEYBOARD LAYOUT	1-12
LAYOUT TASTIERA FRANCIA	1-14	FRANCE KEYBOARD LAYOUT	1-14
LAYOUT TASTIERA U.K.	1-16	U.K. KEYBOARD LAYOUT	1-16
PIASTRA BASE	1-19	BASIC BOARD	1-19
INDICE GENERALE DEI CODICI	1-29	GENERAL CODES INDEX	1-29
RACCOLTA SCHEMI	2-1	SCHEMATICS	2-1
SCHEMA ELETTRICO PIASTRA BASE M10 VERSIONE INTERNAZIONALE	2-2	BASIC BOARD M10 SCHEMATIC INTERNATIONAL VERSION	2-2
SCHEMA ELETTRICO PIASTRA BASE M10M VERSIONE USA	2-3	BASIC BOARD M10M SCHEMATIC USA VERSION	2-3
VIMO PIASTRA BASE	2-4	BASIC BOARD VIMO	2-4
CIRCUITO STAMPATO (LATO COMPONENTI)	2-5	PRINTED CIRCUIT (COMPONENT SIDE)	2-5
CIRCUITO STAMPATO (LATO SALDATURE)	2-6	PRINTED CIRCUIT (SOLDER SIDE)	2-6
SCHEMA ELETTRICO PIASTRA DISPLAY	2-7	DISPLAY BOARD SCHEMATIC	2-7

Catalogo parti di ricambio

Spare parts catalogue



4101790 F

GRUPPO CARROZZERIA

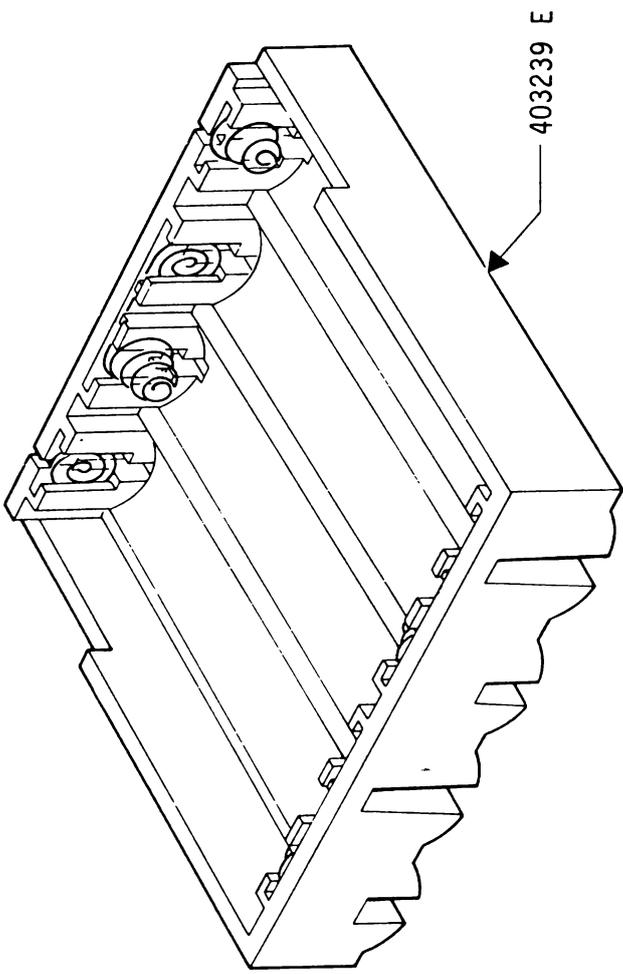
CASE UNIT

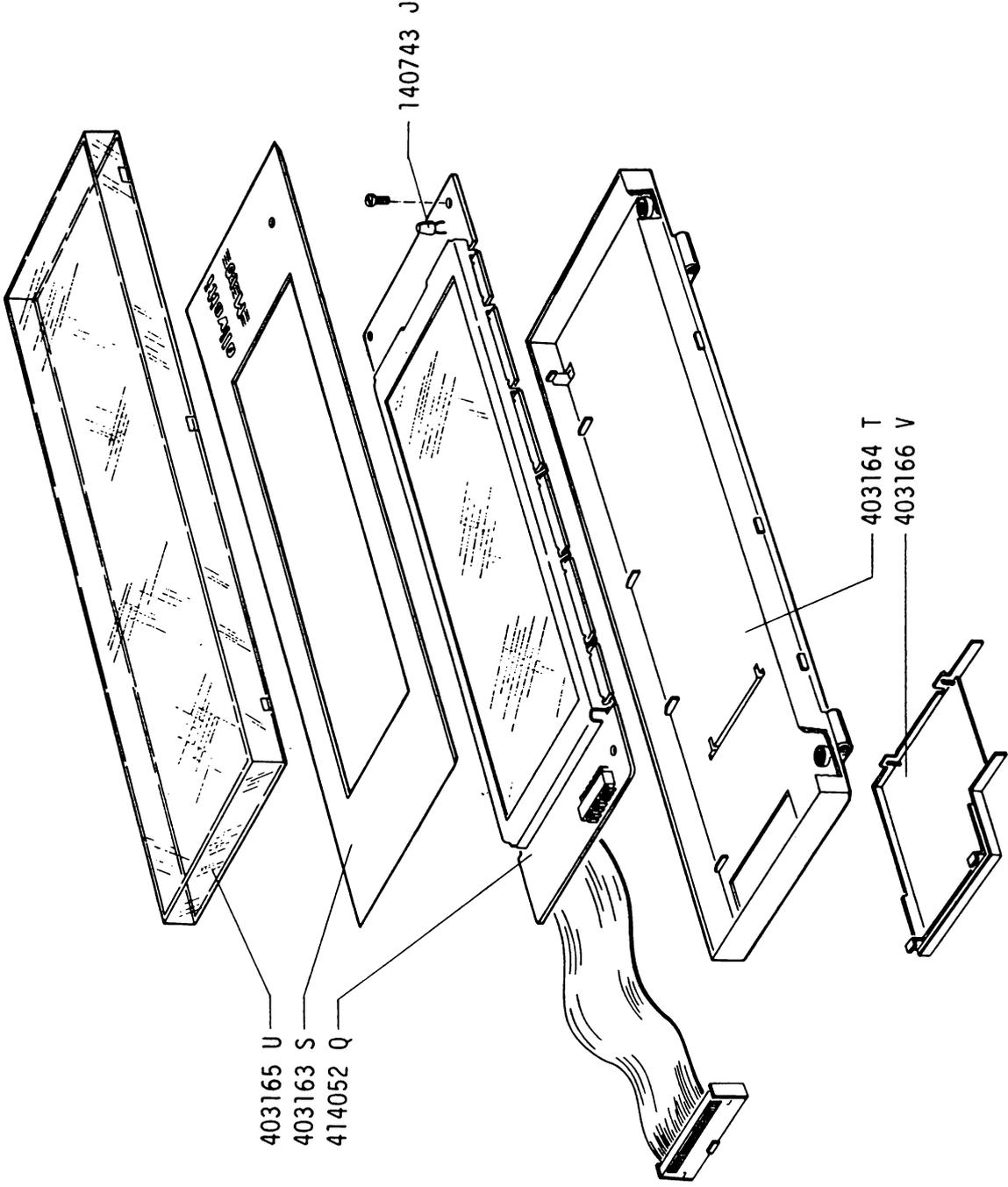
4101790 F

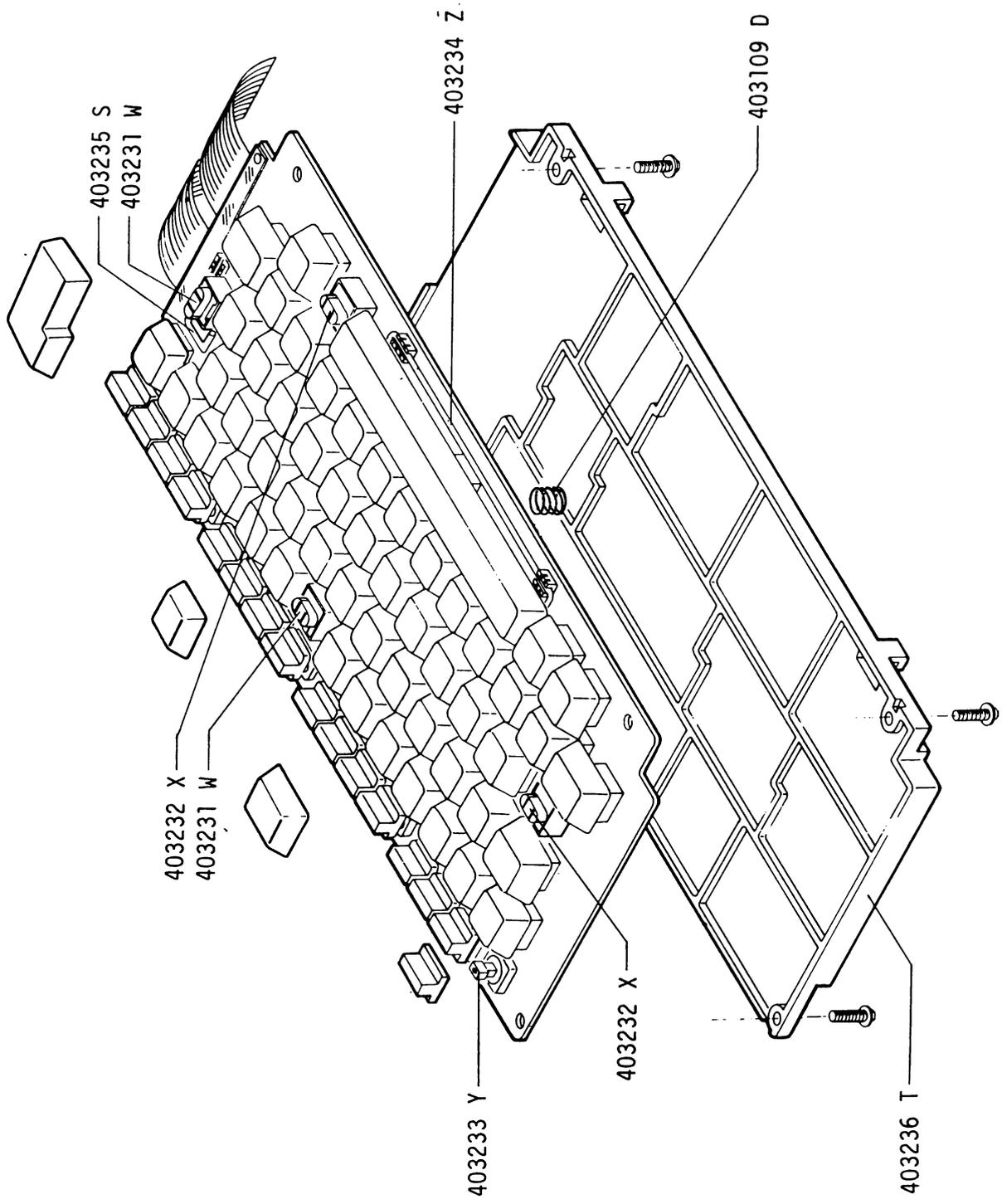
CONTENITORE BATTERIE

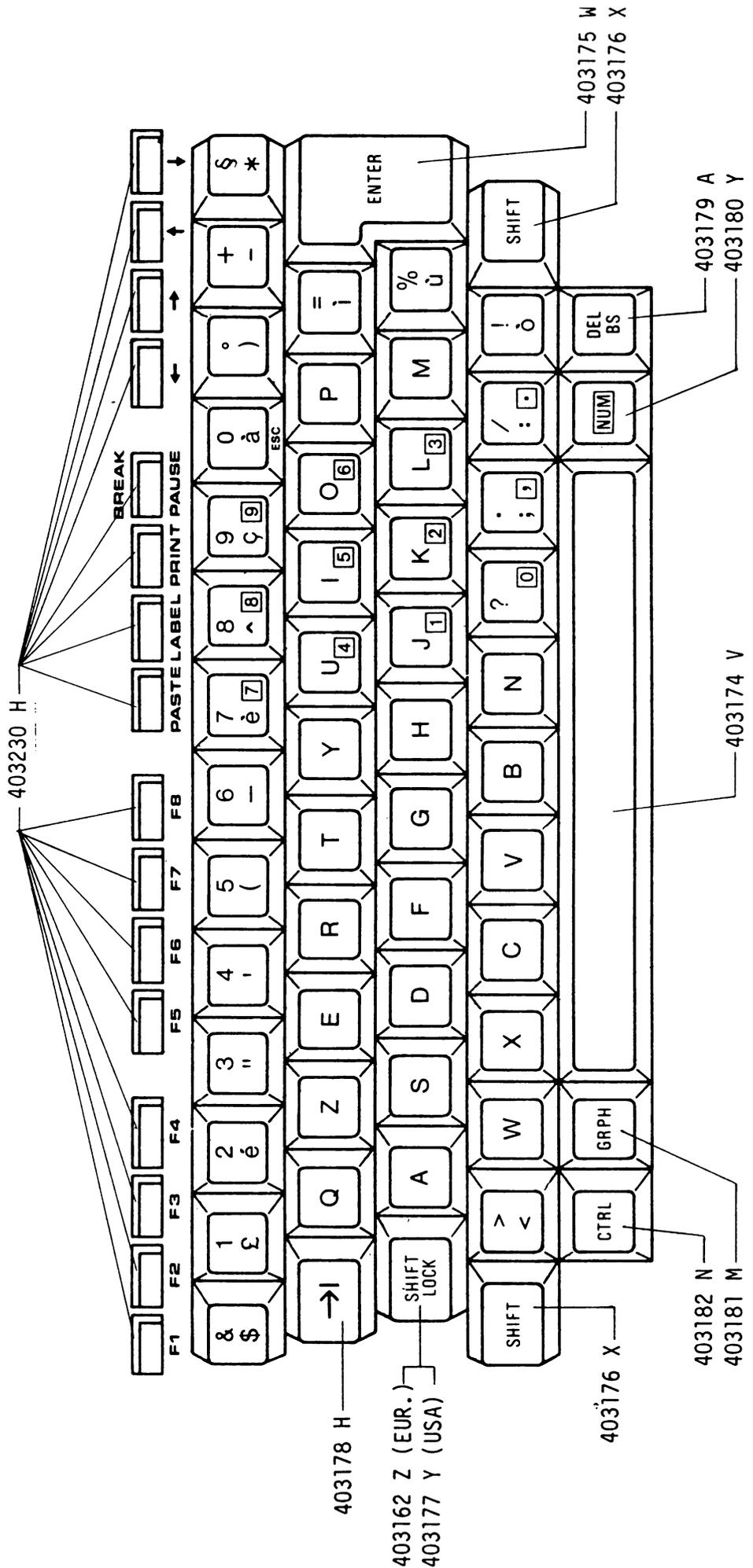
BATTERY BOX

1-4







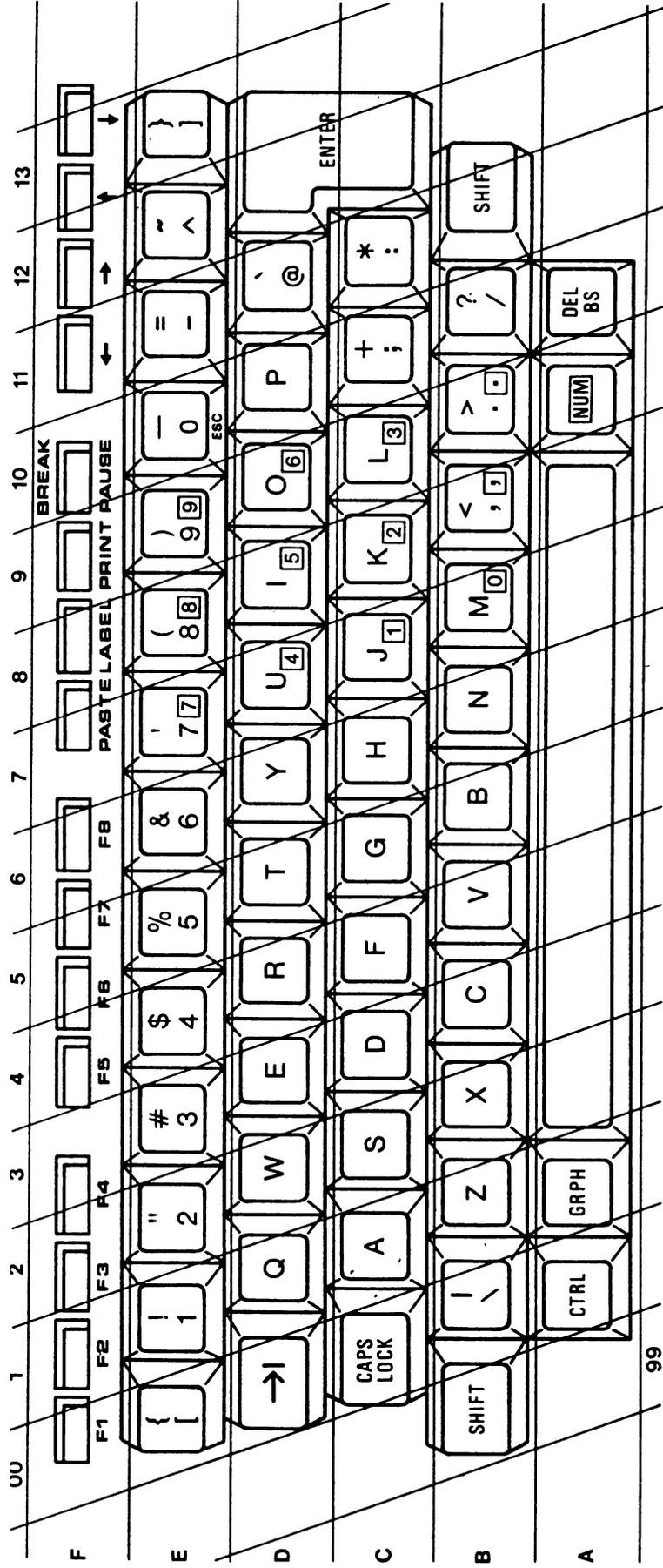


4101790 F

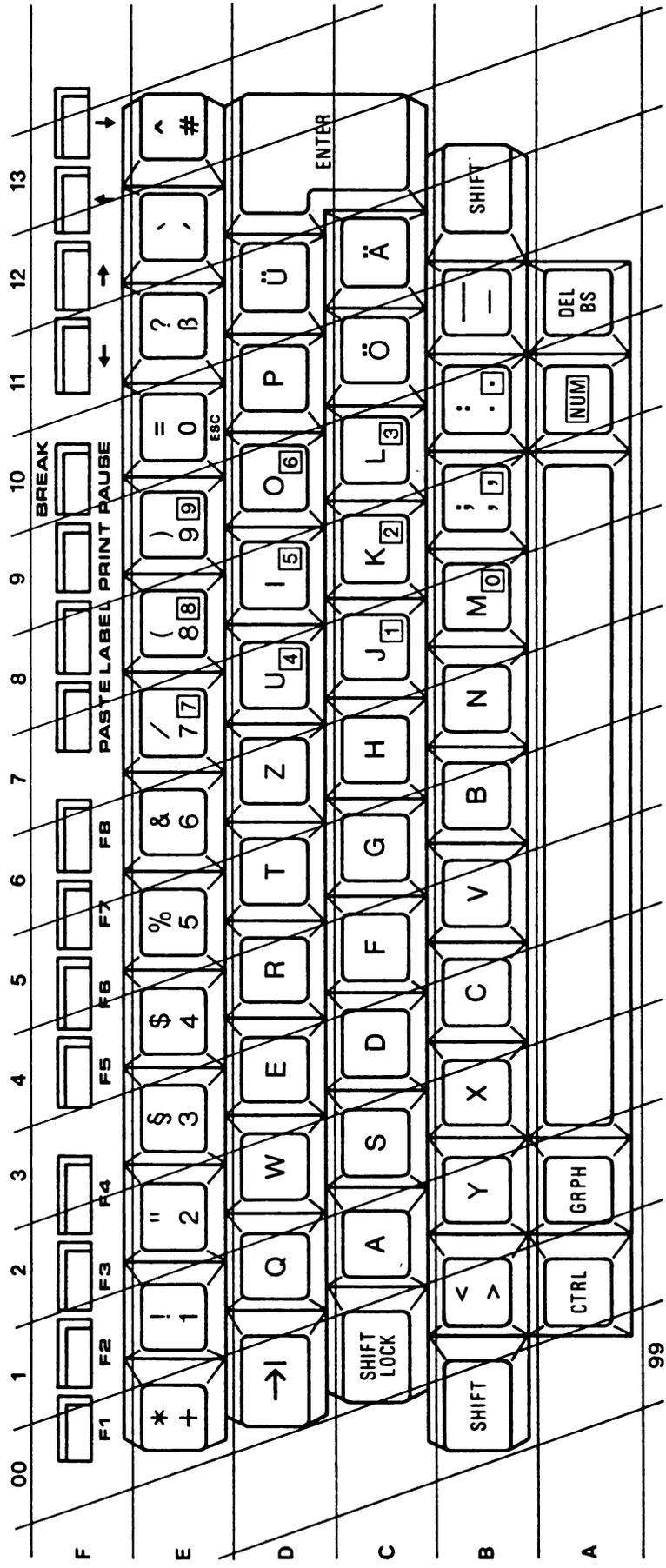
TASTIERA

KEYBOARD

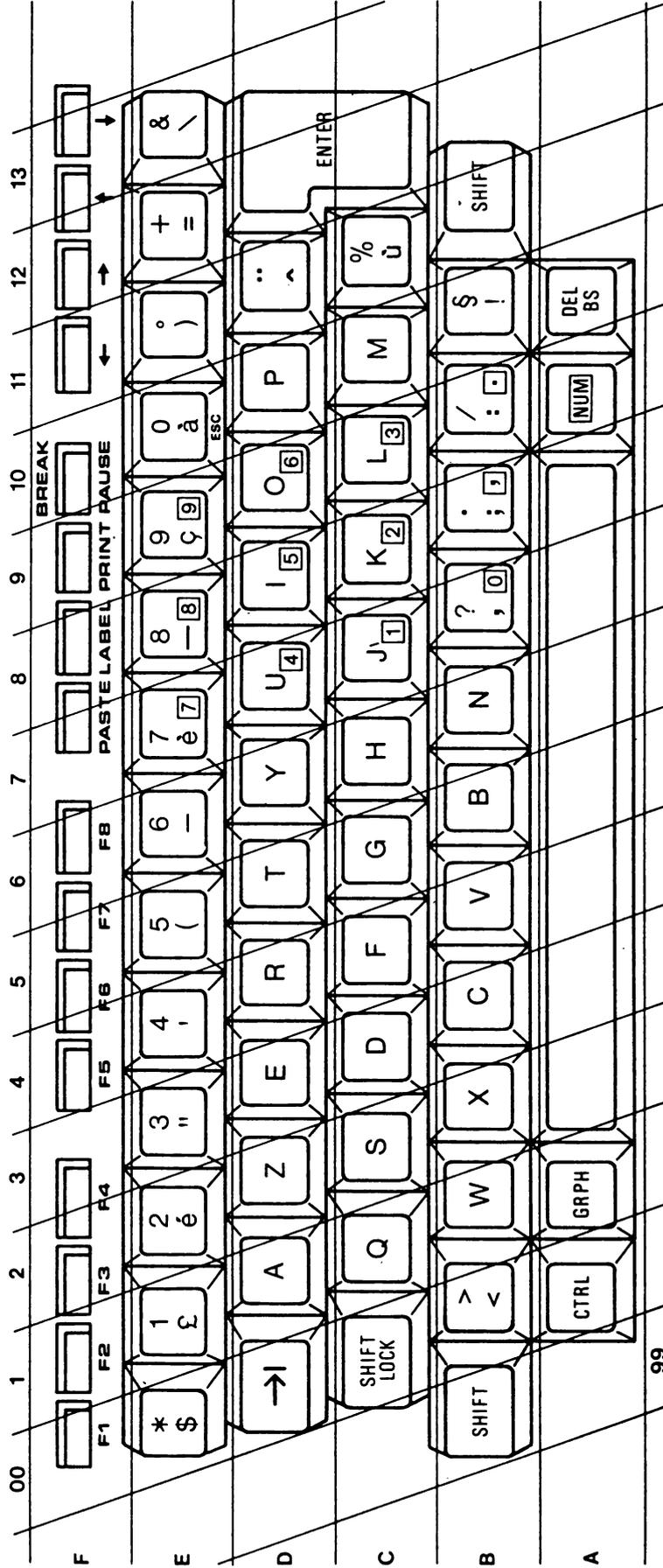
1-7



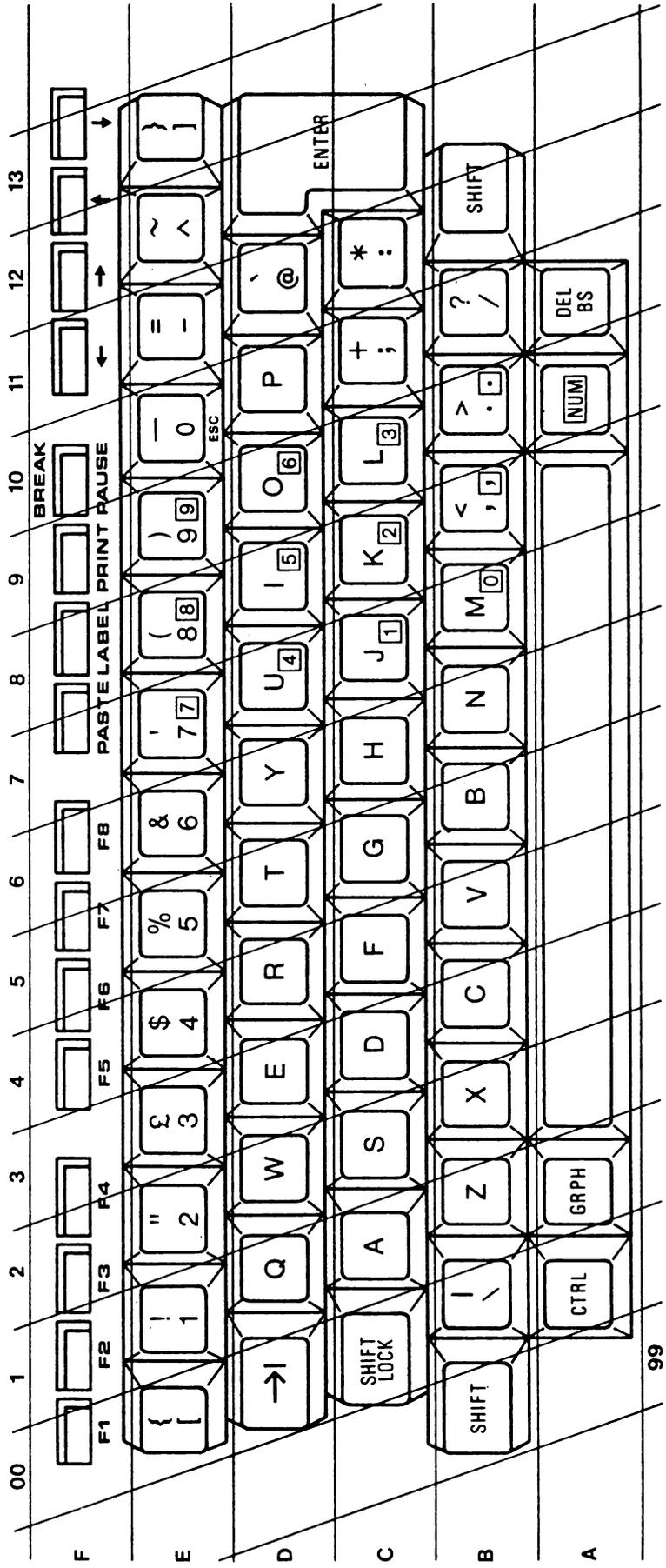
99



99



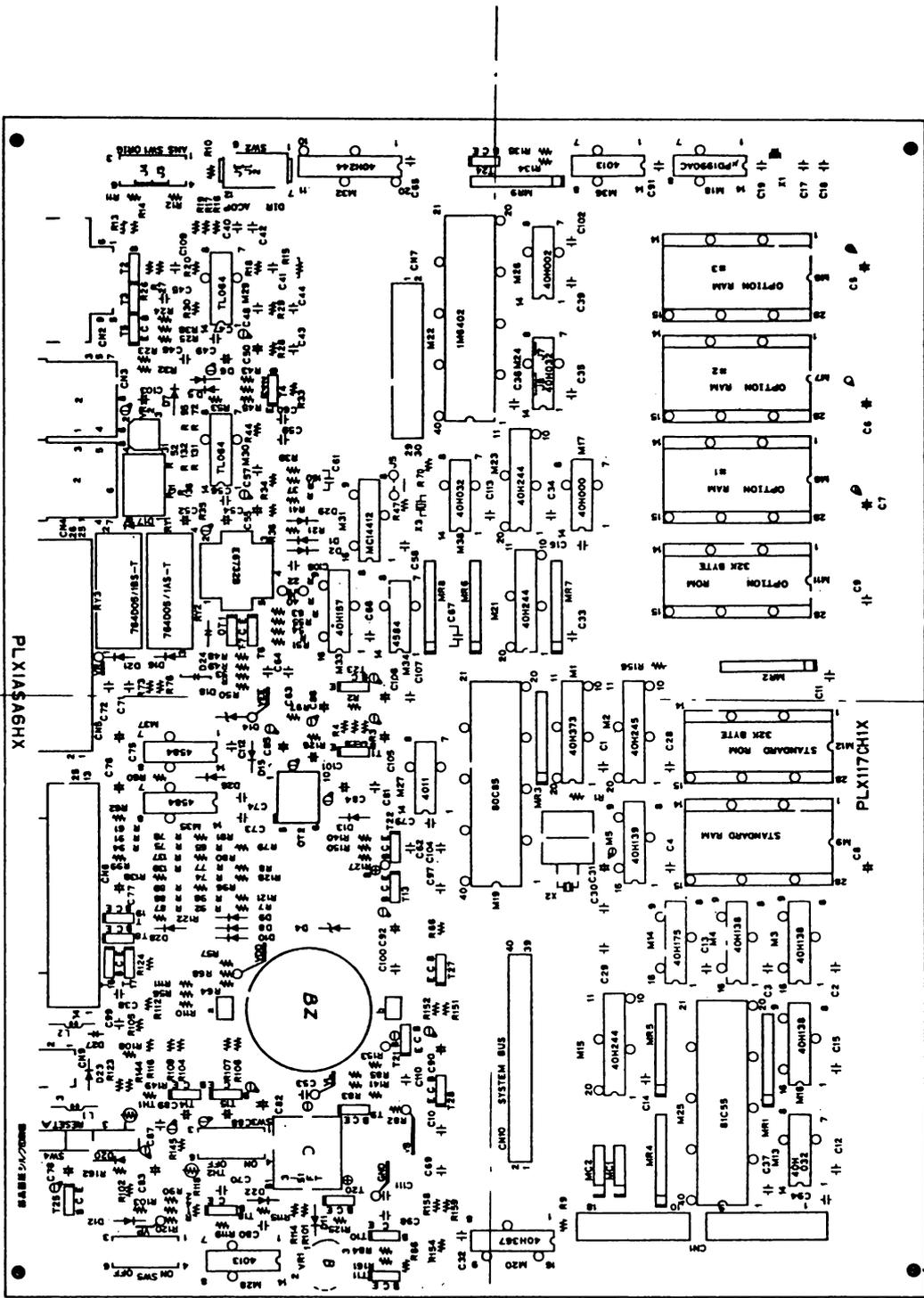
99



99

A

B



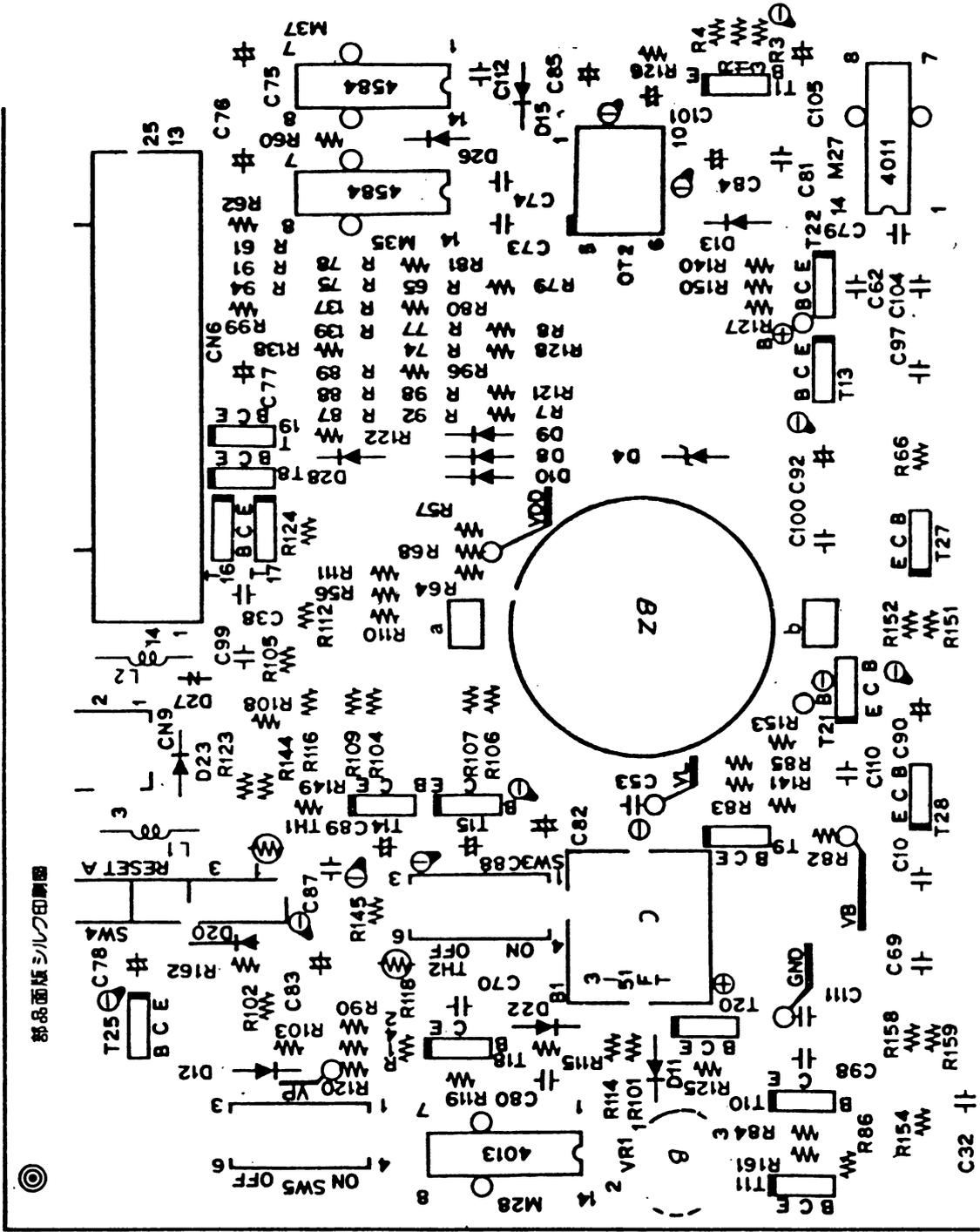
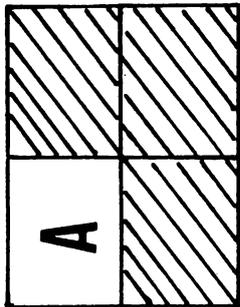
C

D

PIASTRA I/STA
 DO SOTTO il
 COMPUTER

Code Code number	Rifer. Ref.	Descrizione Description
140584 U	L1-L2	CHOKE COIL
140585 V	TH1-TH2	THERMISTER
140634 D	D27	SURGE ABSORBER
140587 X	M29-M30	I.C. AMP OP
140586 W	M18	I.C. TIMER
140588 G	M22	I.C. UART
140589 H	M19	I.C. CPU 80C85
140590 E	M25	I.C. I/O PORT, TIMER 81C55
140592 U	M34-M35	I.C. SCHMITT TRIGGER
140593 V	M17	I.C. NAND 2 INPUT
140594 W	M26	I.C. NOR 2 INPUT
140595 X	M13-24-38	I.C. OR 2 INPUT
140596 Y	M16-3-14	I.C. 3 TO 8 LINE DECOD/MULTIPLEXER
140597 Z	M5	I.C. DUAL 2 TO 4 LINE DECOD/MULTIPLEX.
140598 A	M33	I.C. QUAD 2 TO 1 SELECTORS/MULTIPLEX.
140599 B	M14	I.C. FF "D" TYPE
140600 Y	M15-M21 M23-M32	I.C. OCTAL BUFFER DRIVER I.C. NON INVERTING
140601 M	M2	I.C. OCTAL BUS TRANSCEIVERS
140603 P	M20	I.C. 3 STATE NON INVERTING
140604 Q	M1	I.C. LATCH "D" TYPE
140607 K	M12	ROM INTL
140609 V	VR1	VR. V09LN 50K
140610 R	SW4	PUSH SWITCH
140611 E	SW1-3-5	SLIDE SWITCH
140613 G	OT2	CONVERTOR TRANSFORMER TN22A
140615 A	B	VOLUME KNOB
140616 B	A	KNOB RESET
4866014 W	M27	I.C. MN4011 NAND
4860003 E	M28-M36	I.C. MN4013 FF.D
140617 C	X3	XTAL OSCILLATOR 1 MHZ
140763 N	B2	BUZZER

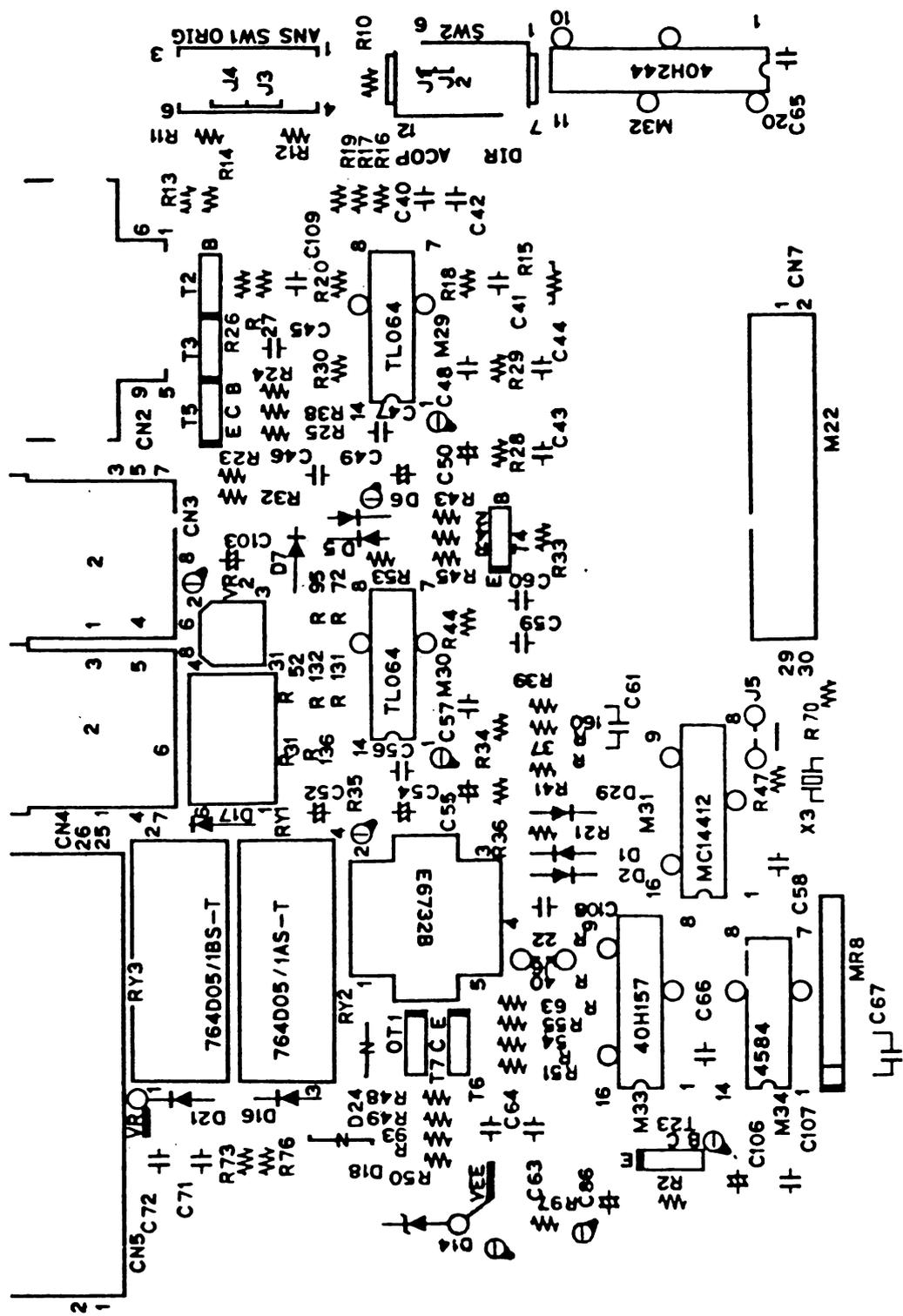
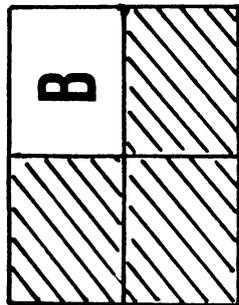
Code Code number	Rifer. Ref.	Descrizione Description
140618 M	X2	XTAL OSCILLATOR 4,9152 MHZ
140619 N	CN9	D.C. JACK
140620 K	CN3	JUNCTION JACK TO CMT
140622 H	CN2	JUNCTION JACK TO BAR CODE
140623 A	CN1	CONNECTOR TO KEYBOARD
140624 B	CN6	JUNCTION JACK RS-232C
140625 C	CN5	JUNCTION JACK CENTRONICS
140626 D	CN7	JUNCTION JACK TO DISPLAY
140627 E	CN10	CONNECTOR SYSTEM BUS
140628 P	C	NI - CD BATTERY
140631 A	RY1	RELAY
140633 C	D18	SURGE ABSORBER ER2-C10-DK561
140750 V	D13-D23	SILICON DIODE
140749 Y	D4	ZENER DIODE
140748 X	D14	ZENER DIODE
140591 T	M31	I.C. MC 14412 UP MODEM
140606 J	M12	I.C. HN6 132 56PC ROM USA
140747 N	T1-19-25	TRANSISTOR 2SA 1115
140746 M	T10-T11- T12-T8	TRANSISTOR 2CS 2603 NO-R
140745 L	T13-T14- T15-T16	TRANSISTOR E-R 2SC 2603
140744 K	T21	TRANSISTOR S 2SD973A
140608 U	VR2	SEMI-FIXED VR. VM6CR 50K
140612 F	SW2	SLIDE SWITCH
140614 H	OT1	DRIVER TRANSFORMER
140621 G	CN4	JUNCTION JACK TO MODEM
140629 Q	RY3	RELAY
140630 M	RY2	RELAY
140743 J		LED 1.9V DISPLAY (LOW POWER)
140757 Q	M9-M6	KIT 8K RAM (4 CHIPS 2K x 8)
140632 B	D12	SURGE ABSORBER ERZ C10DK361



Codice Code number	Rifer. Ref.	Descrizione Description
140584 U	L1-L2	CHOKe COIL
140585 V	TH1-TH2	THERMISTER
140634 D	D27	SURGE ABSORBER
140587 X	M29-M30	I.C. AMP OP
140586 W	M18	I.C. TIMER
140588 G	M22	I.C. UART
140589 H	M19	I.C. CPU 80C85
140590 E	M25	I.C. I/O PORT, TIMER 81C55
140592 U	M34-M35	I.C. SCHMITT TRIGGER
140593 V	M17	I.C. NAND 2 INPUT
140594 W	M26	I.C. NOR 2 INPUT
140595 X	M13-24-38	I.C. OR 2 INPUT
140596 Y	M16-3-14	I.C. 3 TO 8 LINE DECOD/MULTIPLEXER
140597 Z	M5	I.C. DUAL 2 TO 4 LINE DECOD/MULTIPLEX.
140598 A	M33	I.C. QUAD 2 TO 1 SELECTORS/MULTIPLEX.
140599 B	M14	I.C. FF "D" TYPE
140600 Y	M15-M21 M23-M32	I.C. OCTAL BUFFER DRIVER I.C. NON INVERTING
140601 M	M2	I.C. OCTAL BUS TRANSCEIVERS
140603 P	M20	I.C. 3 STATE NON INVERTING
140604 Q	M1	I.C. LATCH "D" TYPE
140607 K	M12	ROM INTL
140609 V	VR1	VR. V09LN 50K
140610 R	SW4	PUSH SWITCH
140611 E	SW1-3-5	SLIDE SWITCH
140613 G	OT2	CONVERTOR TRANSFORMER TN22A
140615 A	B	VOLUME KNOB
140616 B	A	KNOB RESET
4866014 W	M27	I.C. MN4011 NAND
4866003 E	M28-M36	I.C. MN4013 FF.D
140617 C	X3	XTAL OSCILLATOR 1 MHZ
140763 N	B2	BUZZER

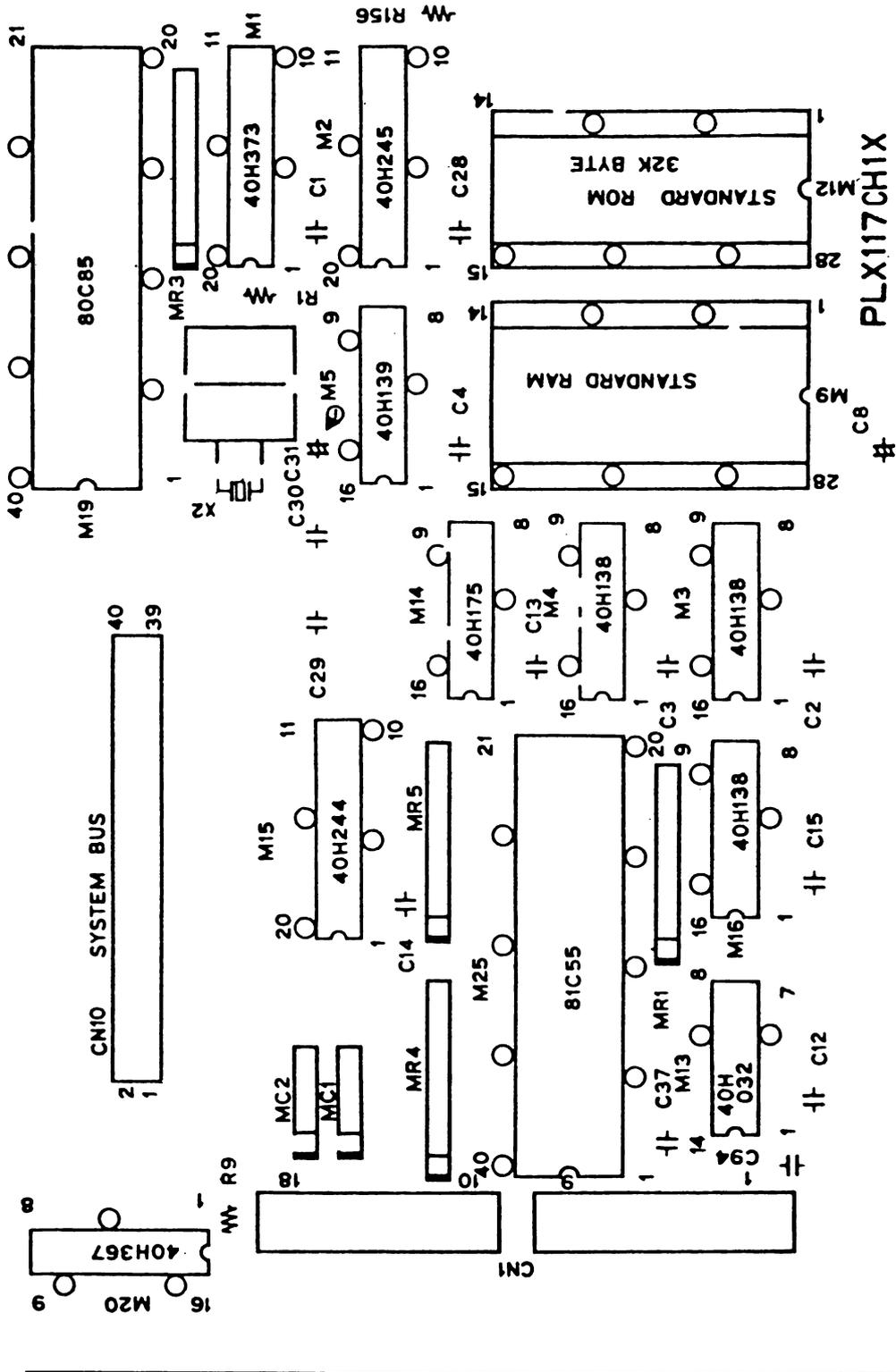
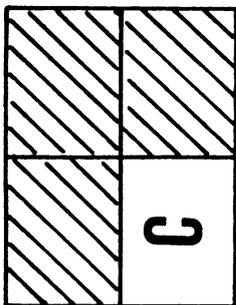
Codice Code number	Rifer. Ref.	Descrizione Description
140618 M	X2	XTAL OSCILLATOR 4,9152 MHZ
140619 N	CN9	D.C. JACK
140620 K	CN3	JUNCTION JACK TO CMT
140622 H	CN2	JUNCTION JACK TO BAR CODE
140623 A	CN1	CONNECTOR TO KEYBOARD
140624 B	CN6	JUNCTION JACK RS-232C
140625 C	CN5	JUNCTION JACK CENTRONICS
140626 D	CN7	JUNCTION JACK TO DISPLAY
140627 E	CN10	CONNECTOR SYSTEM BUS
140628 P	C	NI - CD BATTERY
140631 A	RY1	RELAY
140633 C	D18	SURGE ABSORBER ER2-C10-DK561
140750 V	D13-D23	SILICON DIODE
140749 Y	D4	ZENER DIODE
140748 X	D14	ZENER DIODE
140591 T	M31	I.C. MC 14412 UP MODEM
140606 J	M12	I.C. HM6 132 56PC ROM USA
140747 N	T1-19-25	TRANSISTOR 2SA 1115
140746 M	T10-T11- T12-T8	TRANSISTOR 2CS 2603 NO-R
140745 L	T13-T14- T15-T16	TRANSISTOR E-R 2SC 2603
140744 K	T21	TRANSISTOR S 2SD973A
140608 U	VR2	SEMI-FIXED VR. VM6CR 50K
140612 F	SW2	SLIDE SWITCH
140614 H	OT1	DRIVER TRANSFORMER
140621 G	CN4	JUNCTION JACK TO MODEM
140629 Q	RY3	RELAY
140630 M	RY2	RELAY
140743 J		LED 1.9V DISPLAY (LOW POWER)
140757 Q	M9-M6	KIT 8K RAM (4 CHIPS 2K x 8)
140632 B	D12	SURGE ABSORBER ERZ C10DK361

PLXIASAGHX



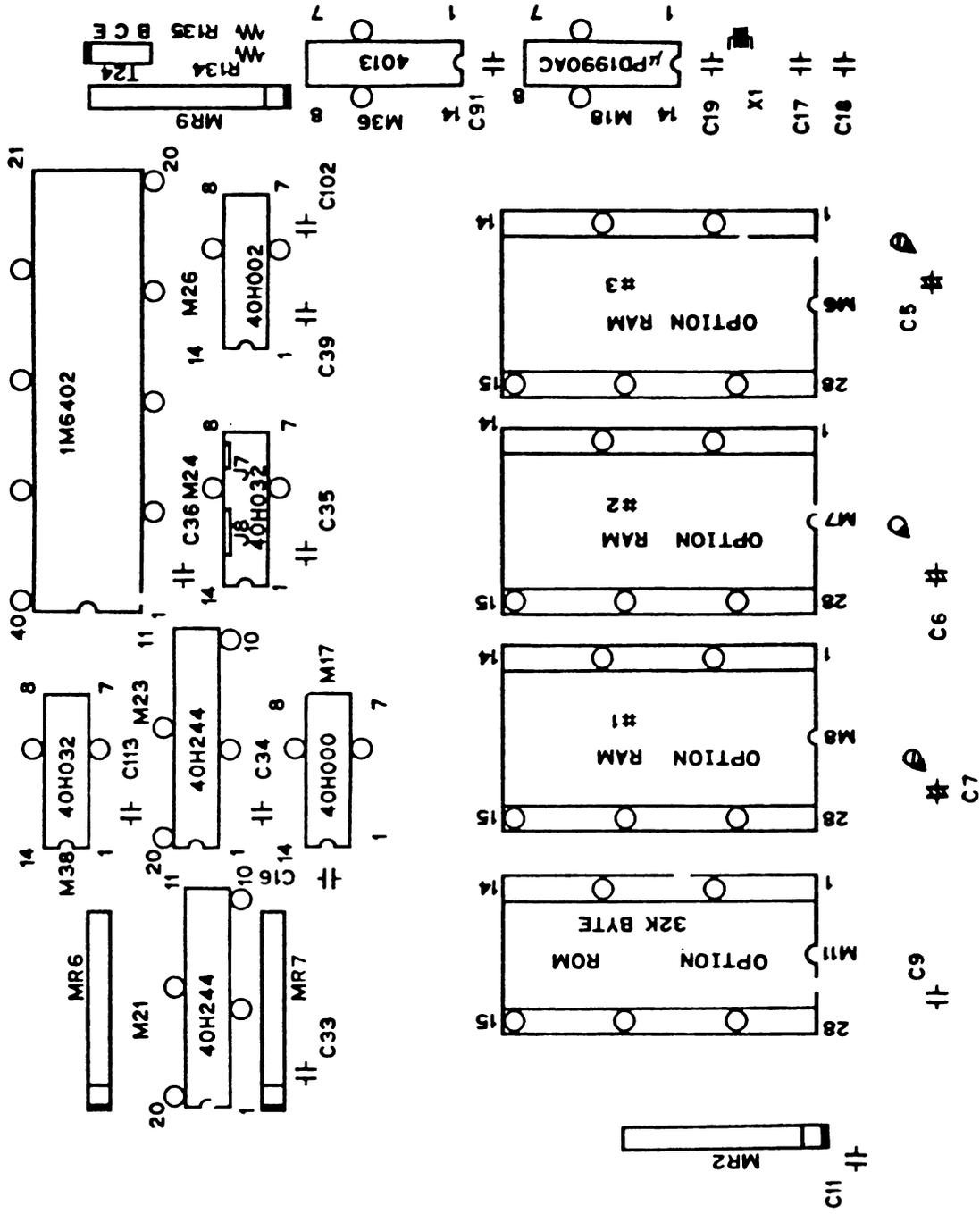
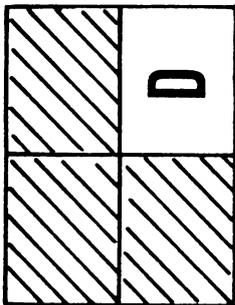
Codice Code number	Rifer. Ref.	Descrizione Description
140584 U	L1-L2	CHOKO COIL
140585 V	TH1-TH2	THERMISTER
140634 D	D27	SURGE ABSORBER
140587 X	M29-M30	I.C. AMP OP
140586 W	M18	I.C. TIMER
140588 G	M22	I.C. UART
140589 H	M19	I.C. CPU 80C85
140590 E	M25	I.C. I/O PORT, TIMER 81C55
140592 U	M34-M35	I.C. SCHMITT TRIGGER
140593 V	M17	I.C. NAND 2 INPUT
140594 W	M26	I.C. NOR 2 INPUT
140595 X	M13-24-38	I.C. OR 2 INPUT
140596 Y	M16-3-14	I.C. 3 TO 8 LINE DECOD/MULTIPLEXER
140597 Z	M5	I.C. DUAL 2 TO 4 LINE DECOD/MULTIPLEX.
140598 A	M33	I.C. QUAD 2 TO 1 SELECTORS/MULTIPLEX.
140599 B	M14	I.C. FF "D" TYPE
140600 Y	M15-M21 M23-M32	OCTAL BUFFER DRIVER I.C. NON INVERTING
140601 M	M2	I.C. OCTAL BUS TRANSCEIVERS
140603 P	M20	I.C. 3 STATE NON INVERTING
140604 Q	M1	I.C. LATCH "D" TYPE
140607 K	M12	ROM INTL
140609 V	VR1	VR. V09LN 50K
140610 R	SW4	PUSH SWITCH
140611 E	SW1-3-5	SLIDE SWITCH
140613 G	OT2	CONVERTOR TRANSFORMER TN22A
140615 A	B	VOLUME KNOB
140616 B	A	KNOB RESET
4866014 W	M27	I.C. MN4011 NAND
4866003 E	M28-M36	I.C. MN4013 FF.D
140617 C	X3	XTAL OSCILLATOR 1 MHZ
140763 N	B2	BUZZER

Codice Code number	Rifer. Ref.	Descrizione Description
140618 M	X2	XTAL OSCILLATOR 4,9152 MHZ
140619 N	CN9	D.C. JACK
140620 K	CN3	JUNCTION JACK TO CMT
140622 H	CN2	JUNCTION JACK TO BAR CODE
140623 A	CN1	CONNECTOR TO KEYBOARD
140624 B	CN6	JUNCTION JACK RS-232C
140625 C	CN5	JUNCTION JACK CENTRONICS
140626 D	CN7	JUNCTION JACK TO DISPLAY
140627 E	CN10	CONNECTOR SYSTEM BUS
140628 P	C	NI - CD BATTERY
140631 A	RY1	RELAY
140633 C	D18	SURGE ABSORBER ER2-C10-DK561
140750 V	D13-D23	SILICON DIODE
140749 Y	D4	ZENER DIODE
140748 X	D14	ZENER DIODE
140591 T	M31	I.C. MC 14412 UP MODEM
140606 J	M12	I.C. HN6 132 56PC ROM USA
140747 N	T1-19-25	TRANSISTOR 2SA 1115
140746 M	T10-T11- T12-T8	TRANSISTOR 2CS 2603 NO-R
140745 L	T13-T14- T15-T16	TRANSISTOR E-R 2SC 2603
140744 K	T21	TRANSISTOR S 2SD973A
140608 U	VR2	SEMI-FIXED VR. VM6CR 50K
140612 F	SW2	SLIDE SWITCH
140614 H	OT1	DRIVER TRANSFORMER
140621 G	CN4	JUNCTION JACK TO MODEM
140629 Q	RY3	RELAY
140630 M	RY2	RELAY
140743 J		LED 1.9V DISPLAY (LOW POWER)
140757 Q	M9-M6	KIT 8K RAM (4 CHIPS 2K x 8)
140632 B	D12	SURGE ABSORBER ERZ C10DK361



Codice Code number	Rifer. Ref.	Descrizione Description
140584 U	L1-L2	CHOKE COIL
140585 V	TH1-TH2	THERMISTER
140634 D	D27	SURGE ABSORBER
140587 X	M29-M30	I.C. AMP OP
140586 W	M18	I.C. TIMER
140588 G	M22	I.C. UART
140589 H	M19	I.C. CPU 80C85
140590 E	M25	I.C. I/O PORT, TIMER 81C55
140592 U	M34-M35	I.C. SCHMITT TRIGGER
140593 V	M17	I.C. NAND 2 INPUT
140594 W	M26	I.C. NOR 2 INPUT
140595 X	M13-24-38	I.C. OR 2 INPUT
140596 Y	M16-3-14	I.C. 3 TO 8 LINE DECOD/MULTIPLEXER
140597 Z	M5	I.C. DUAL 2 TO 4 LINE DECOD/MULTIPLEX.
140598 A	M33	I.C. QUAD 2 TO 1 SELECTORS/MULTIPLEX.
140599 B	M14	I.C. FF "D" TYPE
140600 Y	M15-M21 M23-M32	OCTAL BUFFER DRIVER I.C. NON INVERTING
140601 M	M2	I.C. OCTAL BUS TRANSCEIVERS
140603 P	M20	I.C. 3 STATE NON INVERTING
140604 Q	M1	I.C. LATCH "D" TYPE
140607 K	M12	ROM INTL
140609 V	VR1	VR. V09LN 50K
140610 R	SW4	PUSH SWITCH
140611 E	SW1-3-5	SLIDE SWITCH
140613 G	OT2	CONVERTOR TRANSFORMER TN22A
140615 A	B	VOLUME KNOB
140616 B.	A	KNOB RESET
4866014 W	M27	I.C. MN4011 NAND
4860003 E	M28-M36	I.C. MN4013 FF.D
140617 C	X3	XTAL OSCILLATOR 1 MHZ
140763 N	B2	BUZZER

Codice Code number	Rifer. Ref.	Descrizione Description
140618 M	X2	XTAL OSCILLATOR 4,9152 MHZ
140619 N	CN9	D.C. JACK
140620 K	CN3	JUNCTION JACK TO CMT
140622 H	CN2	JUNCTION JACK TO BAR CODE
140623 A	CN1	CONNECTOR TO KEYBOARD
140624 B	CN6	JUNCTION JACK RS-232C
140625 C	CN5	JUNCTION JACK CENTRONICS
140626 D	CN7	JUNCTION JACK TO DISPLAY
140627 E	CN10	CONNECTOR SYSTEM BUS
140628 P	C	NI - CD BATTERY
140631 A	RY1	RELAY
140633 C	D18	SURGE ABSORBER ER2-C10-DK561
140750 V	D13-D23	SILICON DIODE
140749 Y	D4	ZENER DIODE
140748 X	D14	ZENER DIODE
140591 T	M31	I.C. MC 14412 UP MODEM
140606 J	M12	I.C. HN6 132 56PC ROM USA
140747 N	T1-19-25	TRANSISTOR 2SA 1115
140746 M	T10-T11- T12-T8	TRANSISTOR 2CS 2603 NO-R
140745 L	T13-T14- T15-T16	TRANSISTOR E-R 2SC 2603
140744 K	T21	TRANSISTOR S 2SD973A
140608 U	VR2	SEMI-FIXED VR. VM6CR 50K
140612 F	SW2	SLIDE SWITCH
140614 H	OT1	DRIVER TRANSFORMER
140621 G	CN4	JUNCTION JACK TO MODEM
140629 Q	RY3	RELAY
140630 M	RY2	RELAY
140743 J		LED 1.9V DISPLAY (LOW POWER)
140757 Q	M9-M6	KIT 8K RAM (4 CHIPS 2K x 8)
140632 B	D12	SURGE ABSORBER ERZ C10DK361



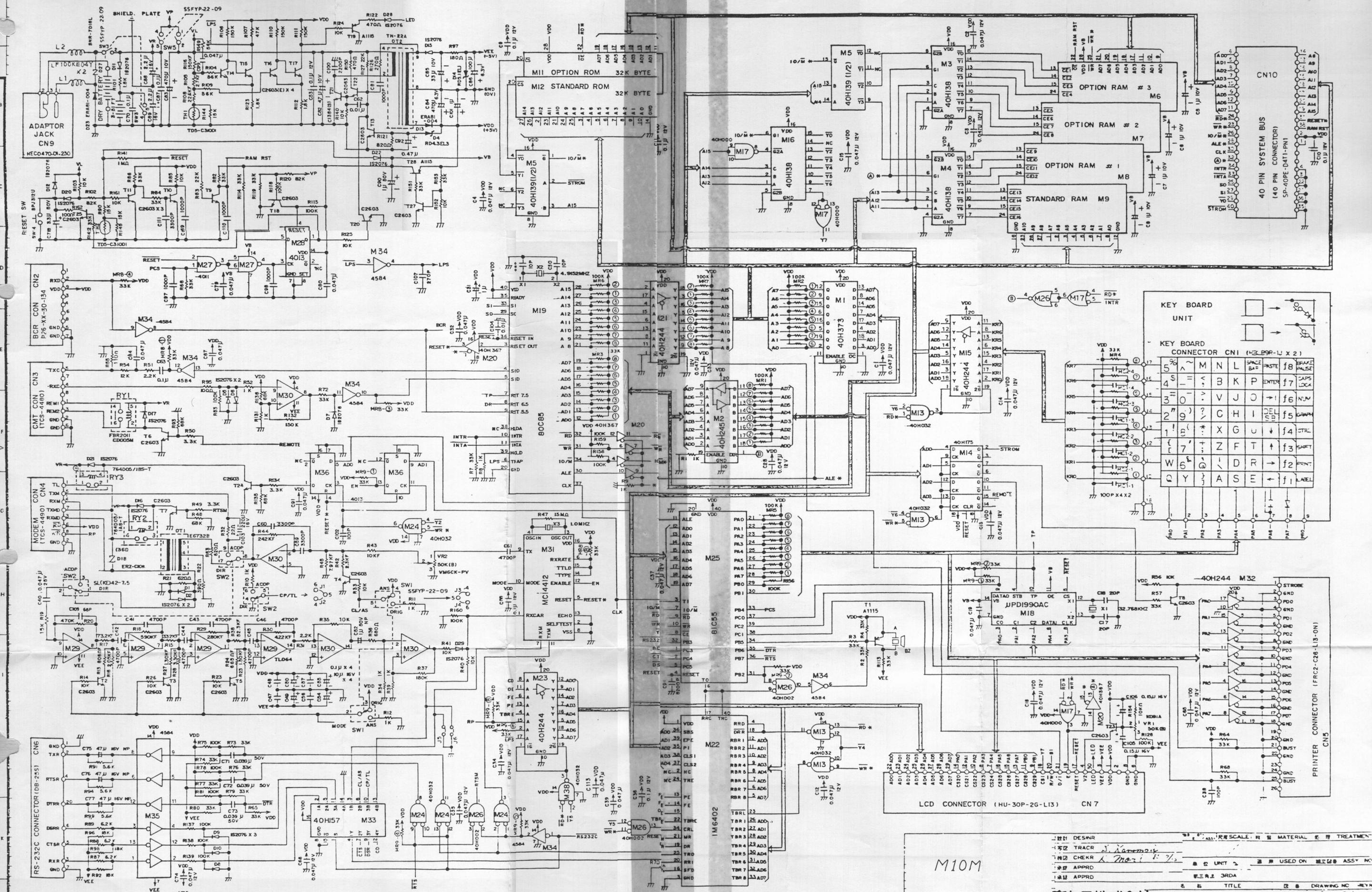
INDICE GENERALE DEI CODICI
GENERAL CODES INDEX

4101790 F

1-29.

CODICE CODE	PAGINA PAGE								
I 140584U	1-20	I 140603P	1-20	I 140622H	1-20	I 140622H	1-20	I 140750V	1-20
I 1-26		I 1-26		I 1-26		I 1-26		I 1-22	1-24
I 140585V	1-20	I 140604Q	1-20	I 140623A	1-20	I 140623A	1-20	I 140763N	1-20
I 1-26		I 1-26		I 1-26		I 1-26		I 1-26	1-3
I 140586W	1-20	I 140606J	1-20	I 140624B	1-20	I 140624B	1-20	I 403109D	1-6
I 1-26		I 1-26		I 1-26		I 1-26		I 403110Z	1-3
I 140587X	1-20	I 140607K	1-20	I 140625C	1-20	I 140625C	1-20	I 403111N	1-3
I 1-26		I 1-26		I 1-26		I 1-26		I 403118V	1-16
I 140588G	1-20	I 140608U	1-20	I 140626D	1-20	I 140626D	1-20	I 403119W	1-12
I 1-26		I 1-26		I 1-26		I 1-26		I 403120T	1-12
I 140589H	1-20	I 140609V	1-20	I 140627E	1-20	I 140627E	1-20	I 403121Q	1-12
I 1-26		I 1-26		I 1-26		I 1-26		I 403122R	1-8
I 140590E	1-20	I 140610R	1-20	I 140628P	1-20	I 140628P	1-20	I 403123J	1-8
I 1-26		I 1-26		I 1-26		I 1-26		I 403124K	1-12
I 140591T	1-20	I 140611E	1-20	I 140629Q	1-20	I 140629Q	1-20	I 403125L	1-12
I 1-26		I 1-26		I 1-26		I 1-26		I 403126M	1-12
I 140592U	1-20	I 140612F	1-20	I 140630M	1-20	I 140630M	1-20	I 403127N	1-12
I 1-26		I 1-26		I 1-26		I 1-26		I 403128X	1-12
I 140593V	1-20	I 140613G	1-20	I 140631A	1-20	I 140631A	1-20	I 403129Y	1-14
I 1-26		I 1-26		I 1-26		I 1-26		I 403131J	1-14
I 140594W	1-20	I 140614H	1-20	I 140632B	1-20	I 140632B	1-20	I 403132K	1-12
I 1-26		I 1-26		I 1-26		I 1-26		I 403133L	1-12
I 140595X	1-20	I 140615A	1-20	I 140634D	1-20	I 140634D	1-20	I 403134M	1-12
I 1-26		I 1-26		I 1-26		I 1-26		I 403135N	1-12
I 140596Y	1-20	I 140616B	1-20	I 140743J	1-5	I 140743J	1-5	I 403136P	1-12
I 1-26		I 1-26		I 1-26		I 1-26		I 403137Q	1-14
I 140597Z	1-20	I 140617C	1-20	I 140744K	1-20	I 140744K	1-20	I 403138Z	1-14
I 1-26		I 1-26		I 1-26		I 1-26		I 403139S	1-14
I 140598A	1-20	I 140618M	1-20	I 140745L	1-20	I 140745L	1-20	I 403140F	1-14
I 1-26		I 1-26		I 1-26		I 1-26		I 403141U	1-14
I 140599B	1-20	I 140619N	1-20	I 140746M	1-20	I 140746M	1-20	I 403142V	1-14
I 1-26		I 1-26		I 1-26		I 1-26		I 403143W	1-14
I 140600Y	1-20	I 140620K	1-20	I 140747N	1-20	I 140747N	1-20	I 403144X	1-14
I 1-26		I 1-26		I 1-26		I 1-26		I 403145Y	1-14
I 140601M	1-20	I 140621G	1-20	I 140748X	1-20	I 140748X	1-20	I 403146Z	1-14
I 1-26		I 1-26		I 1-26		I 1-26			
I 140749Y	1-20								

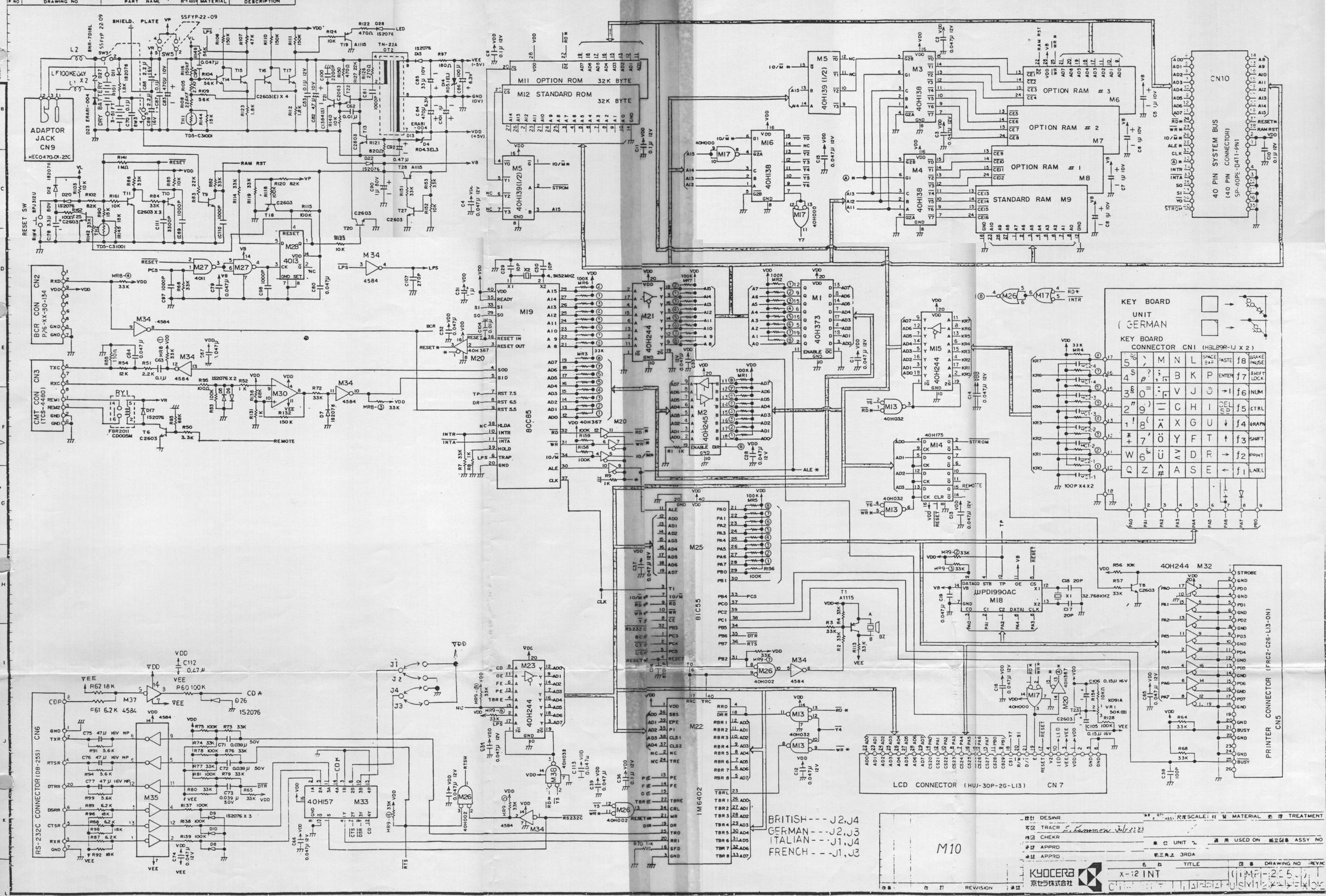
Raccolta schemi Schematics



DESIGN: *S. Kamezaki*
 CHECK: *K. Mori*
 APPROV: *S. Mori*

UNIT: *1000*
 TITLE: *1000*
 DRAWING NO: *1000*

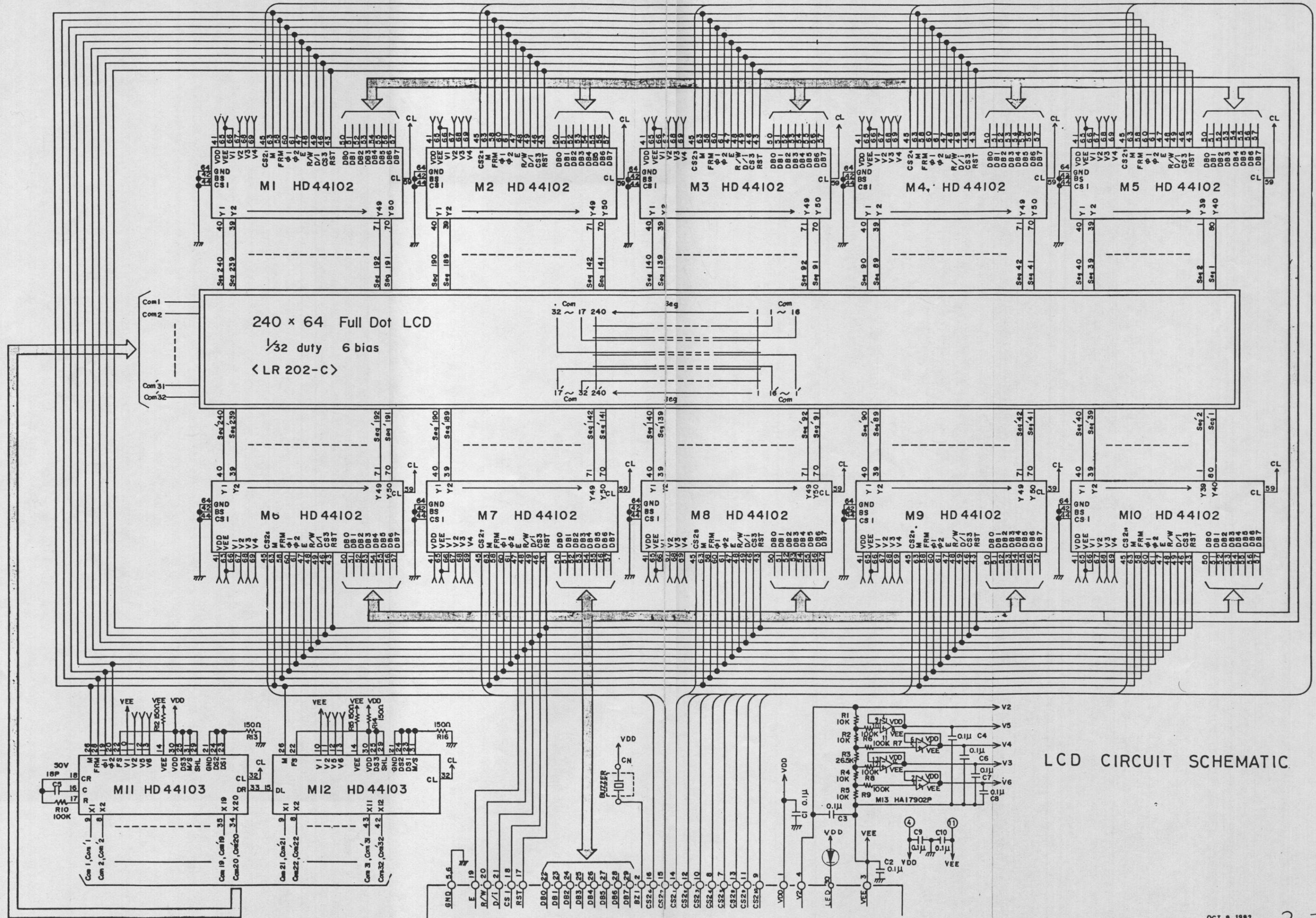
京セラ株式会社 X-12 US



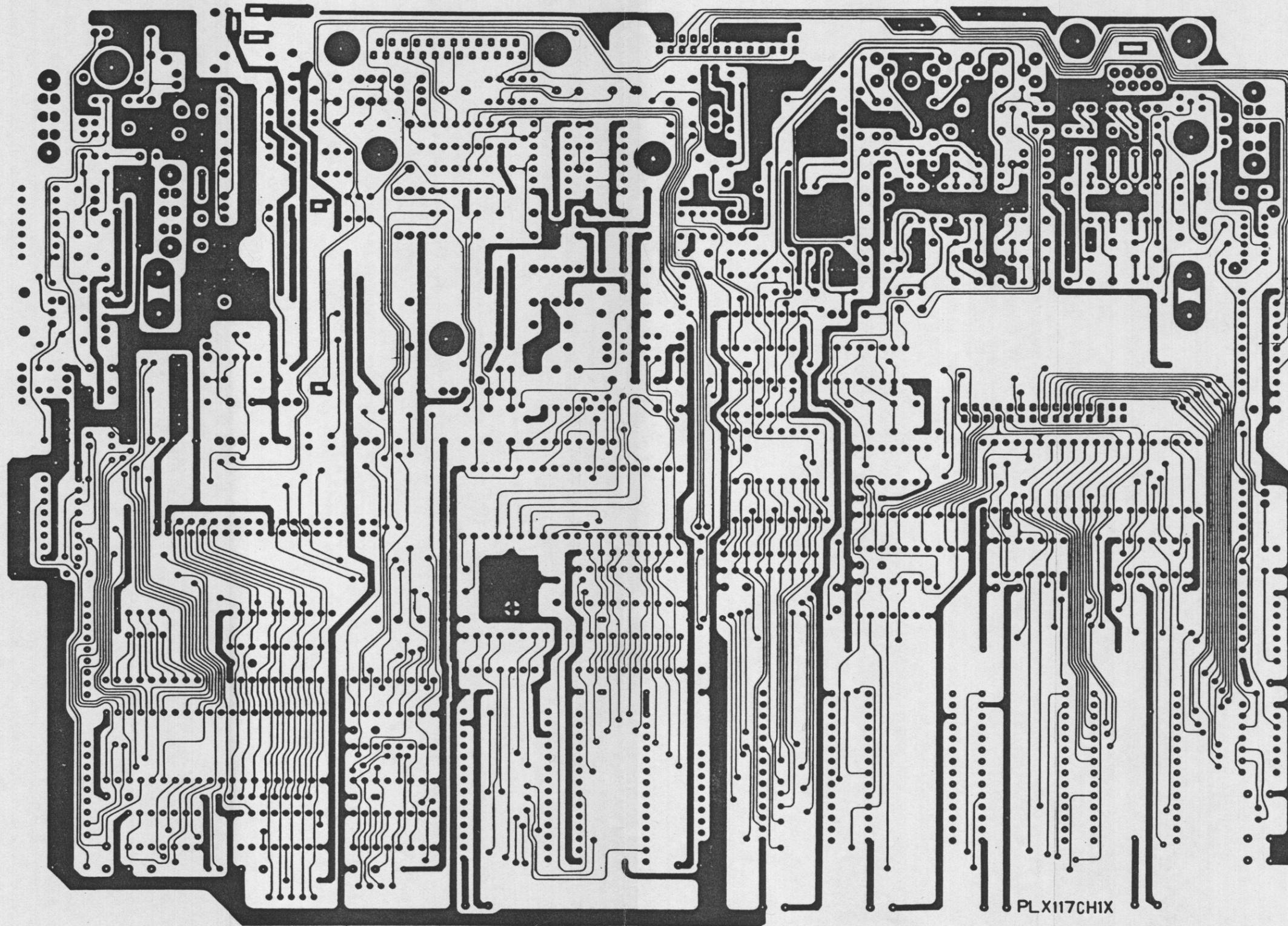
BRITISH --- J2, J4
GERMAN --- J2, J3
ITALIAN --- J1, J4
FRENCH --- J1, J3

M10

DESIGN: DESNR
 TRACER: S. Kammann July 22 83
 CHECKR:
 APPROD:
 UNIT: USED ON ASSY NO:
 3RDA
 DRAWING NO: 4101790 F
 TITLE: X-12 INT
 KYOCERA
 京セラ株式会社



LCD CIRCUIT SCHEMATIC



PLX117CH1X

